

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-305735

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H03F 3/45

(21)Application number : 10-108273

(71)Applicant : SHARP CORP

(22)Date of filing : 17.04.1998

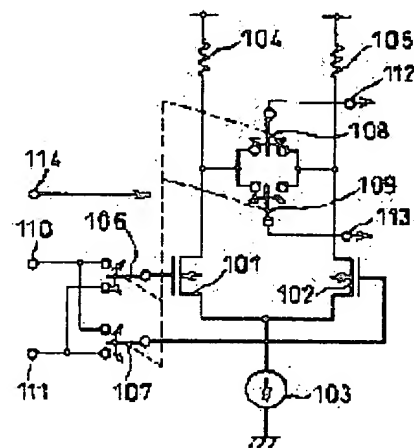
(72)Inventor : NAKAO TOMOAKI

## (54) DIFFERENTIAL AMPLIFIER CIRCUIT, OPERATIONAL AMPLIFIER CIRCUIT USING SAME, AND LIQUID CRYSTAL DRIVING CIRCUIT USING THE OPERATIONAL AMPLIFIER CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To actualize the high-reliability differential amplifier circuit of which power consumption is reduced by suppressing the circuit scale small and which is not affected by an accidental offset voltage due to variance in manufacture etc.

SOLUTION: Input transistors 101 and 102 of the differential amplifier circuit are used while being replaced and an output signal is switched through switches 108 and 109 to average the accidental offset due to variance in manufacture etc. The operational amplifier circuit which has smaller power consumption and high reliability and the liquid crystal driving circuit which can make a display of higher quality can be actualized by using a differential amplifier circuit like this.



### LEGAL STATUS

[Date of request for examination]

02.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-305735

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
H 0 3 F 3/45		H 0 3 F 3/45 Z

審査請求 未請求 請求項の数 6 O L (全 31 頁)

(21) 出願番号 特願平10-108273

(22) 出願日 平成10年(1998)4月17日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中尾 友昭

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

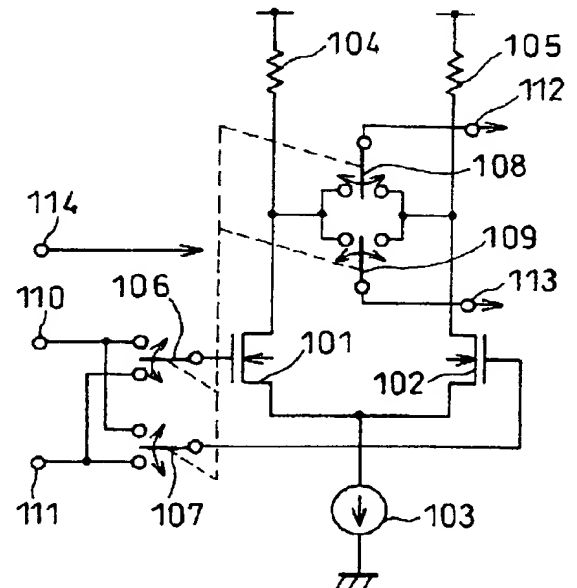
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 差動増幅回路及びそれを用いた演算増幅器回路並びにその演算増幅器回路を用いた液晶駆動回路

(57) 【要約】

【課題】 回路規模を小さく抑え、回路の消費電力を低減すると共に、製造上のバラツキなどによる偶発的なオフセット電圧の影響を受けない信頼性の高い差動増幅回路を実現する。

【解決手段】 差動増幅回路の入力トランジスタ101及び102を入れ替えながら使用すると共に、スイッチ108及び109を介して出力信号を切り替えることによって、製造上のバラツキなどに起因する偶発的なオフセット電圧が平均化される。このような差動増幅回路を用いることによって、より低消費電力且つ信頼性の高い演算増幅器回路、及びより高品位な表示が行える液晶駆動回路を実現できる。



## 【特許請求の範囲】

【請求項 1】同相および逆相の入力信号をそれぞれ増幅する差動増幅回路であって、

上記入力信号を増幅する第 1 及び第 2 増幅回路と、  
上記 2 つの入力信号を選択的に切り替えて上記の第 1 及び第 2 増幅回路へ入力すると共に、上記の第 1 又は第 2 増幅回路の一方によって増幅された同相入力信号を逆相出力信号として出力する一方、上記の第 1 又は第 2 増幅回路の他方によって増幅された逆相入力信号を同相出力信号として出力する制御手段とを備えたことを特徴とする差動増幅回路。

【請求項 2】上記の第 1 及び第 2 増幅回路は、一組の MOS トランジスタがソース結合されてなり、各 MOS トランジスタのゲートに上記の入力信号が入力され、各 MOS トランジスタのドレインに接続され負荷となる負荷素子を有しており、

上記負荷素子は一組のカレントミラー構成を有する MOS トランジスタからなることを特徴とする請求項 1 に記載に差動増幅回路。

【請求項 3】請求項 1 又は 2 に記載の差動増幅回路を入力回路に持つ CMOS 構成の演算増幅器回路であって、上記入力回路と同じチャンネルの出力段 MOS トランジスタのソースをグランド電位よりも高く且つ上記演算増幅器回路の動作電源電位よりも低い電圧を出力する電源に接続することを特徴とする演算増幅器回路。

【請求項 4】請求項 1 又は 2 に記載の差動増幅回路を入力回路に持つ CMOS 構成を有し、入力された液晶駆動電圧を増幅する演算増幅器回路と、該演算増幅器回路の出力を切り替えて増幅された液晶駆動電圧の極性を切り替え、交流化を行う出力交流化切替手段とを備えていることを特徴とする液晶駆動回路。

【請求項 5】請求項 3 に記載の演算増幅器回路を備え、該演算増幅器回路の出力を切り替えて増幅された液晶駆動電圧の極性を切り替え、交流化を行う出力交流化切替手段を更に備えたことを特徴とする液晶駆動回路。

【請求項 6】請求項 3 に記載の演算増幅器回路を備え、上記電源に代えて、液晶パネルの対向電極に印加される対向電極電圧を上記の出力段 MOS トランジスタのソースに印加し、

上記演算増幅器回路の上記差動増幅回路に対して、液晶駆動電圧と上記対向電極電圧とを選択的に切り替えて供給する切替手段と、

上記切替手段によって対向電極電圧が上記差動増幅回路へ入力された場合には液晶パネルの隣り合う負荷容量と上記対向電極電圧との間で電荷の移動が行われる一方、上記切替手段によって液晶駆動電圧が上記差動増幅回路へ入力された場合には隣り合う負荷容量と上記演算増幅器回路の動作電源との間で電荷の移動が行われるように、増幅された液晶駆動電圧の極性を切り替えて交流化を行う出力交流化切替手段とを更に備えたことを特徴と

する液晶駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、回路規模を小さく抑え、回路の消費電力を低減すると共に、製造上のバラツキなどによる偶発的なオフセット電圧の影響を受けない差動増幅回路、それを用いた演算増幅器回路及びその演算増幅器回路を用いた液晶駆動回路に関するものである。

## 【0002】

【従来の技術】図 37 に、アクティブマトリックス方式の代表例である TFT 液晶表示装置の従来例のブロック構成を示す。3801 は TFT 液晶パネルを示し、3802 は複数のソースドライバを備えたソースドライバ IC を示し、3803 は複数のゲートドライバを備えたゲートドライバ IC を示し、3804 はコントロール回路を示し、3805 は液晶駆動電源（電源回路）を示す。

【0003】上記コントロール回路 3804 は、ゲートドライバ IC 3803 へ垂直同期信号を送ると共に、ソースドライバ IC 3802 及びゲートドライバ IC 3803 へ水平同期信号を送る。外部から入力された表示データは、コントロール回路 3804 を介してデジタル信号でソースドライバ IC 3802 へ入力される。ソースドライバ IC 3802 は、入力された表示データを時分割で内部にラッチし、その後、コントロール回路 3804 からの水平同期信号に同期してデジタル／アナログ変換を行い、液晶駆動出力端子から階調表示用のアナログ電圧を出力するようになっている。

【0004】図 38 に、TFT 液晶パネルの構成図を示す。3901 は画素電極を示し、3902 は画素容量を示し、3903 は TFT（スイッチ素子）を示し、3904 はソース信号ラインを示し、3905 はゲート信号ラインを示し、3906 は対向電極を示す。

【0005】上記ソース信号ライン 3904 には、上記ソースドライバ IC 3802 から、表示画素の明るさに応じて変化する階調表示電圧が与えられる。上記ゲート信号ライン 3905 には、上記ゲートドライバ IC 3803 から、縦方向に配設された TFT 3903 が順次オンするように走査信号が与えられる。オン状態の TFT 3903 を介して該 TFT のドレインに接続された画素電極 3901 にソース信号ライン 3904 の電圧が印加され、上記対向電極 3906 との間の画素容量 3902 に蓄積され、これにより、液晶の光透過率が変化し、該変化に応じた表示が行われる。

【0006】図 39 及び図 40 に液晶駆動波形の一例を示す。4001 及び 4101 はソースドライバの駆動波形を示し、4002 及び 4102 はゲートドライバの駆動波形を示し、4003 及び 4103 は対向電極の電位を示し、4004 及び 4104 は画素電極の電圧波形を示す。

【0007】液晶材料に印加される電圧は、画素電極3901と対向電極3906の電位差であり、図中には斜線で示している。液晶パネルは長期信頼性を確保するために、交流で駆動する必要がある。図39は、上記ソースドライバの出力電圧が対向電極の電圧より高い時に上記ゲートドライバの出力がTFT3903をオンし、画素電極3901へ対向電極3906に対して正極性の電圧が印加される場合を示している。

【0008】一方、図40は、逆に、上記ソースドライバの出力電圧が対向電極3906の電圧より低い時に上記ゲートドライバの出力がTFT3903をオンして、画素電極3901へ対向電極3906に対して負極性の電圧が印加される場合を示している。このように、図39の波形電圧と図40の波形電圧とを交互に印加することで、液晶材料に加わる電圧を交流化して駆動することが可能となる。

【0009】図41に、駆動電圧を交流化する際の、液晶パネル3801上の交流化の極性配列の一例を示す。これは、ドット反転駆動と呼ばれる方式によるものであり、1つの表示画面（フレーム）内では正極性と負極性とが上下左右とも交互に配列され、かつ、フレーム毎に極性が反転される。この方法では、ソースドライバIC3802においては、奇数番目の出力端子が正極性の電圧を出力している時、偶数番目の出力端子は負極性の電圧を出力しており、逆に、奇数番目の出力端子が負極性の電圧を出力している時、偶数番目の出力端子は正極性の電圧を出力している。

【0010】図42に、ドット反転駆動におけるソースドライバの駆動波形例を示す。図42中、4301は奇数番目の上記出力端子の出力電圧波形を示し、4302は偶数番目の上記出力端子の出力電圧波形を示し、4303は対向電極3906の電圧を示す。図42に示すように、奇数番目の出力端子と偶数番目の出力端子とにおいては、常に対向電極3906に対して逆の極性の電圧が出力される。

【0011】図43は、上記ソースドライバIC3802の構成を示すブロック図の一例を示す。入力されたデジタル信号の表示データ（R、G、B）は、シフトレジスタ4403の動作に基づいて時分割でサンプリングメモリ4404に記憶され、その後、水平同期信号でホールドメモリ4405に一括転送される。上記シフトレジスタ4403は、スタートパルス及びクロック（CK）に基づいて動作するようになっている。上記ホールドメモリ4405のデータは、レベルシフト回路4406を介してD/A変換回路4407でアナログ電圧に変換され、出力回路4408により、液晶駆動出力端子を介して階調表示駆動電圧（液晶駆動電圧）として出力される。

【0012】図44（a）（b）に、従来の技術（第1従来技術）に係るドット反転駆動を行うソースドライバ

ICの出力回路のブロック構成図とその動作の一例とを示す。図44には、図43の内、4405、4407、4408で示される各ブロックのみを、2出力端子分の回路として示している。

【0013】図44において、4501は奇数番目の出力端子を駆動する出力回路でオペアンプを使用したボルテージフォロウを示し、4502は偶数番目の出力端子を駆動する出力回路で4501と同じオペアンプを使用したボルテージフォロウを示し、4503、4504、4505、及び4506は液晶駆動出力の出力電圧極性を切り替える出力交流化スイッチをそれぞれ示し、4507は正極性電圧のデジタル／アナログ変換を行うD/A変換回路を示し、4508は負極性電圧のデジタル／アナログ変換を行うD/A変換回路を示し、4509及び4510は表示データを保持するホールドメモリをそれぞれ示し、4511は奇数番目の出力端子を示し、4512は偶数番目の出力端子を示す。また、オペアンプ4501の内部の4513及び4502内部の4514はNチャンネルMOS入力オペアンプを示し、オペアンプ4501の内部の4515及び4502内部の4516はPチャンネルMOS入力オペアンプを示す。

【0014】上記構成を有する回路による液晶駆動波形の交流化について説明すると、以下の通りである。

【0015】上記出力交流化スイッチ4503乃至4506が図44（a）の状態にあるとき、上記ホールドメモリ4509に記憶されている奇数番目の出力端子4511の表示データは、正極性のD/A変換回路4507へ入力され、D/A変換後のアナログ電圧は、ボルテージフォロウ4501を介して奇数番目の出力端子4511から液晶パネル3801へ出力される。この時の出力電圧は、正極性の液晶駆動電圧となる。

【0016】これに対して、出力交流化スイッチ4503乃至4506が図44（b）の状態にあるとき、ホールドメモリ4509に記憶されている奇数番目の出力端子4511の表示データは、負極性のD/A変換回路4508に入力され、D/A変換後のアナログ電圧は、ボルテージフォロウ4501を介して奇数番目の出力端子4511から液晶パネルへ出力される。この時の出力電圧は、負極性の駆動駆動電圧となる。

【0017】偶数番目の出力端子4512の駆動電圧の極性は、奇数番目の出力端子4511と逆になる。すなわち、出力交流化スイッチ4503乃至4506が図44（a）の状態にあるとき、ホールドメモリ4510に記憶されている偶数番目の出力端子4512の表示データは、負極性のD/A変換回路4508に入力され、D/A変換後のアナログ電圧は、ボルテージフォロウ4502を介して偶数番目の出力端子4512から液晶パネルへ出力される。この時の出力電圧は、負極性の液晶駆動電圧となる。

【0018】一方、出力交流化スイッチ4503乃至4

506が図44(b)の状態にあるとき、ホールドメモリ4510に記憶されている偶数番目の出力端子の表示データは、正極性のD/A変換回路4507に入力され、D/A変換後のアナログ電圧は、ボルテージフォロワ4502を介して偶数番目の出力端子4512より液晶パネルに出力される。この時の出力電圧は、正極性の液晶駆動電圧となる。図44には、以上の動作のうち、奇数番目の出力端子の信号の流れのみを示す。このように、図44(a)の状態と、図44(b)の状態とを出力交流化スイッチ4503乃至4506を用いて交互に切り替えることにより、液晶パネル3801を駆動するために必要な駆動波形の交流化を行っている。

【0019】図44の回路構成において、1つの出力端子は、正極性電圧の出力の場合も負極性電圧の出力の場合も、常に同じオペアンプ回路で駆動される。一般に、液晶駆動回路の出力端子の重要な機能として、電源電圧フルレンジの出力ダイナミックレンジが要求される。通常のLSIで使用されるエンハンスメント型のMOSトランジスタを使用することを想定すると、その閾値電圧による動作不可領域をなくすために、図44に示すように、NチャンネルMOS入力のおペアンプ4513とPチャンネルMOS入力のおペアンプ4515の両方を1つの出力回路4501内に持たなければならない。このため回路規模が大きくなり、LSI化した場合のチップサイズの増大を招く。更に、オペアンプが1出力当り2回路有るために、回路の消費電力が大きくなる。

【0020】図45(a)(b)に、他の従来の技術(第2従来技術)に係るドット反転駆動を行うソースドライバICの出力回路のブロック構成図とその動作の例を示す。図45には、図43の内、4405、4407、4408で示される各ブロックのみを、2出力端子分の回路として示している。

【0021】図45において、4601はNチャンネルMOSトランジスタ入力のおペアンプを使用したボルテージフォロワを示し、4602はPチャンネルMOSトランジスタ入力のおペアンプを使用したボルテージフォロワを示し、4603、4604、4605、及び4606は液晶駆動出力の出力電圧極性を切り替える出力交流化スイッチを示し、4607は正極性のデジタル/アナログ変換を行うD/A変換回路を示し、4608は負極性のデジタル/アナログ変換を行うD/A変換回路を示し、4609及び4610は表示データを保持するホールドメモリを示し、4611は奇数番目の出力端子を示し、4612は偶数番目の出力端子を示す。

【0022】図45の出力電圧の交流化は、図44の場合と同じく出力交流化スイッチ4603乃至4606によって行われる。図44の場合と異なるのは、正極性のD/A変換回路4607の出力は直接NチャンネルMOSトランジスタ入力のおペアンプ4601へ送られ、負極性のD/A変換回路4608の出力は直接Pチャネ

ルMOSトランジスタ入力のおペアンプ4602へ送られ、各々のオペアンプの出力が、スイッチ4603及び4604を介して所望の出力端子へ送られる点である。

【0023】ここでは、正極性のD/A変換回路4607は、電源電圧の約2分の1以上の電圧のみを出力するため、オペアンプとしてNチャンネル入力の回路のみで十分であり、同様に、負極性のD/A変換回路4608は、電源電圧の約2分の1以下の電圧のみを出力するため、オペアンプとしてPチャンネル入力の回路のみで十分である。図45の構成では、図44の構成に対して、オペアンプ回路が出力端子当り半分ですむため、チップサイズの低減と低消費電力化が図れる。

【0024】しかしながら、図45の構成は、1つの出力を駆動するオペアンプ回路が正極性の場合と負極性の場合とで異なっている。すなわち、図45の液晶駆動出力端子は、正極性電圧を出力する時はオペアンプ4601で駆動される(図45(a)参照)一方、負極性電圧を出力する時はオペアンプ4602で駆動される(図45(b)参照)。ここで、オペアンプ4601とオペアンプ4602とが、製造上のバラツキなどによる偶発的なオフセット電圧を持っている場合を以下に説明する。

【0025】オペアンプ4601が偶発的なオフセット電圧Aを持ち、オペアンプ4602が偶発的なオフセット電圧Bを持つ場合の液晶駆動電圧波形を図46に示す。図46において、正極性電圧を出力する時と負極性電圧を出力する時とでは、期待値電圧からの偏差がそれぞれ異なる。したがって、液晶表示画素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分(= (A - B) / 2)が、誤差電圧として残留する。この誤差電圧は、駆動出力端子毎に偶発的に発生するものであるから、液晶表示装置の画素間での印加電圧の差となり、結果として表示むらが発生することになる。

【0026】比較のために、図47に、図44の構成の場合の液晶駆動電圧波形を示す。図44の構成では、正極性電圧、負極性電圧ともに1つの出力回路で駆動されるため、いずれの場合も期待値電圧からの偏差は同じである。この偏差は、画素に印加される電圧としては、正極性の場合と負極性の場合で互いに打ち消し合う方向である。したがって、図44の構成では、液晶駆動出力端子間の偏差のバラツキは、表示画素で平均化されることになり、表示上の問題にはならない。

【0027】

【発明が解決しようとする課題】図44に示す上記の第1従来技術では、1つの出力端子は、正極性電圧の出力の場合も負極性電圧の出力の場合も、常に同じオペアンプ回路で駆動される。一般に、液晶駆動回路の出力端子に要求される重要な機能として、電源電圧フルレンジの出力ダイナミックレンジが挙げられる。

【0028】しかしながら、上記の第1従来技術では、通常のLSIで使用されるエンハンスメント型のMOS

トランジスタを使用することを想定すると、その閾値電圧による動作不可領域をなくすために、図44に示すように、NチャンネルMOS入力のアンプ4513とPチャンネルMOS入力のアンプ4515の両方を1つの出力回路4501に備えることが必要である。このため、回路規模が大きくなるので、LSI化した場合、チップサイズの増大を招来する。更に、アンプが1出力回路当たり2回路必要となるので、回路の消費電力が大きくなるという問題点を有している。

【0029】これに対して、上記第2従来技術では、1つの出力を駆動するアンプ回路が正極性電圧を出力する場合と負極性電圧を出力する場合で異なり、このため、アンプが製造上のバラツキなどによる偶発的なオフセット電圧を持っている場合、正極性電圧を出力する場合と負極性電圧を出力する場合とでは、期待値電圧からの偏差が異なってしまう。したがって、液晶表示画素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が、誤差電圧として残留することになり、この誤差電圧は、駆動出力端子毎に偶発的に発生するものであるから、液晶表示装置の画素間での印加電圧の差となり、表示むらを招来する。

【0030】本発明は、上記従来問題点に鑑みながらなされたものであって、その目的は、回路規模を小さく抑え、回路の消費電力を低減すると共に、製造上のバラツキなどによる偶発的なオフセット電圧の影響を受けない信頼性の高い差動増幅回路、それを用いた演算増幅器回路及び液晶駆動回路を提供することにある。

【0031】

【課題を解決するための手段】請求項1に係る差動増幅回路は、上記課題を解決するために、同相および逆相の入力信号をそれぞれ増幅する差動増幅回路において、以下の措置を講じたことを特徴としている。

【0032】すなわち、上記差動増幅回路は、上記入力信号を増幅する第1及び第2増幅回路と、上記2つの入力信号を選択的に切り替えて上記の第1及び第2増幅回路へ入力すると共に、上記の第1又は第2増幅回路の一方によって増幅された同相入力信号を逆相出力信号として出力する一方、上記の第1又は第2増幅回路の他方によって増幅された逆相入力信号を同相出力信号として出力する制御手段とを備えたことを特徴としている。

【0033】上記の発明によれば、同相入力信号及び逆相入力信号は、制御手段によって入力先が選択的に切り替えられる。例えば、同相入力信号が第1増幅回路または第2増幅回路の一方へ入力された場合、逆相入力信号は第1増幅回路または第2増幅回路の他方へ入力されるように、制御手段によって制御される。

【0034】各増幅回路で同相入力信号と逆相入力信号とが増幅されて出力信号としてそれぞれ出力されるが、この際、第1及び第2増幅回路は、制御手段によって次のように制御される。すなわち、同相入力信号は増幅さ

れた後、逆相出力信号として第1又は第2増幅回路の一方から出力されると共に、逆相入力信号は増幅された後、同相出力信号として第1又は第2増幅回路の他方から出力される。

【0035】ところで、本来、同じ回路特性を有すべき第1及び第2増幅回路に、製造上のバラツキ等に起因して、差が生じた場合、出力信号にオフセットが生じてしまう。なお、このオフセットは、入力信号の一方に定電圧源を接続したものとしてモデル化できる。

【0036】しかし、上記の発明によれば、上述のように、制御手段によって、同相入力信号と逆相入力信号とが選択的に切り替えられると共に、上記の第1又は第2増幅回路の一方によって増幅された同相入力信号が逆相出力信号として出力される一方、上記の第1又は第2増幅回路の他方によって増幅された逆相入力信号が同相出力信号として出力されるので、同相出力信号に生じるオフセットと、逆相出力信号に生じるオフセットとは、逆極性で絶対値が等しくなり、両者の平均電圧にはオフセット成分が含まれなくなる。それゆえ、非常に信頼性の高い差動増幅回路を実現することができる。

【0037】請求項2に係る差動増幅回路は、上記課題を解決するために、請求項1に記載の差動増幅回路において、上記の第1及び第2増幅回路は、一組のMOSトランジスタがソース結合されてなり、各MOSトランジスタのゲートに上記の入力信号が入力され、各MOSトランジスタのドレインに接続され負荷となる負荷素子を有しており、上記負荷素子は一組のカレントミラー構成を有するMOSトランジスタからなることを特徴としている。

【0038】上記の発明によれば、請求項1に記載の差動増幅回路の作用に加えて、何れの場合でも、負荷素子は、互いに、カレントミラー構成となっているので、たとえ両負荷素子に特性上のバラツキがあっても、各負荷素子のMOSトランジスタに流れる電流は常に等しくなり、この結果、同相入力信号及び逆相入力信号は同じ増幅度で増幅されることになり、左右対称な出力波形が得られることになる。

【0039】請求項3に係る演算増幅器回路は、上記課題を解決するために、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成の演算増幅器回路であって、上記入力回路と同じチャンネルの出力段MOSトランジスタのソースをグラウンド電位よりも高く且つ上記演算増幅器回路の動作電源電位よりも低い電圧を出力する電源に接続することを特徴としている。

【0040】上記の発明によれば、例えば、入力回路内の入力トランジスタにNチャンネルMOSを使用した場合、通常のLSIで使われるエンハンスメント型のトランジスタを想定すると、その閾値電圧特性によりGND電位付近の入力電圧では動作しない。このため、本回路をボルテージフォロウとして使用する場合は、本質的に

高電位側の出力電圧で動作させることになり、出力トランジスタがGNDに接続される必要はない。上記電源の電圧を動作電源電位より低く設定しておく、負荷から演算増幅器回路内部へ電流が流れる場合、電流経路の電位差は、電源が無い場合よりもその電圧分だけ小さくすることができる。したがって、電源に流れる電流による電力は、他の回路部分を動作させるために使用することができ、結果として回路全体での消費電力を低減することが可能となる。

【0041】一方、入力回路内の入力トランジスタにPチャンネルMOSを使用した場合、通常のLSIで使われるエンハンスメント型のトランジスタを想定すると、その閾値電圧特性により電源電位付近の入力電圧では動作しない。このため、本回路をボルテージフォロウとして使用する場合は、本質的に低電位側の出力電圧で動作させることになり、出力トランジスタが動作電源電位に接続される必要はない。上記電源の電圧を動作電源電位より低く設定しておく、演算増幅器回路から負荷へ電流が流れる場合、その電力の供給を動作電源電位よりも低い電源から行うことができる。このため、負荷を駆動する際の消費電力を低減することが可能となる。

【0042】以上のように、出力段のMOSトランジスタのソースをグランド電位よりも高く且つ電源電位よりも低い電圧を出力する電源に接続することによって、本回路をボルテージフォロウとして使用する場合、消費電力の低減が図れる。

【0043】請求項4に係る液晶駆動回路は、上記課題を解決するために、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成を有し、入力された液晶駆動電圧を増幅する演算増幅器回路と、該演算増幅器回路の出力を切り替えて増幅された液晶駆動電圧の極性を切り替え、交流化を行う出力交流化切替手段とを備えたことを特徴としている。

【0044】上記の発明によれば、請求項1又は2に記載の演算増幅器回路内の差動増幅回路に液晶駆動電圧が入力されると、増幅されて出力交流化切替手段へ出力される。出力交流化切替手段においては、増幅された液晶駆動電圧の極性が切り替えられ、これにより、液晶駆動電圧の交流化が行われる。

【0045】一般に、液晶駆動電圧の重要な機能として、動作電源電圧フルレンジの出力ダイナミックレンジが要求される。通常のLSIで使用されるエンハンスメント型のMOSトランジスタを使用することを想定すると、その閾値電圧による動作不可領域をなくすために、NチャンネルMOS入力増幅回路と、PチャンネルMOS入力増幅回路との両方を1つの出力回路内に持たなければならない。このため、回路規模が大きくなり、LSI化した場合のチップサイズの増大を招き、更に、演算増幅器が1出力当り2回路存在するため、回路の消費電力が大きくなる。

【0046】しかしながら、上記の発明によれば、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成の演算増幅器回路から増幅された液晶駆動電圧が出力され、この液晶駆動電圧の極性が出力交流化切替手段によって切り替えられ、液晶駆動電圧の交流化が行われる。これにより、フルダイナミックレンジの出力演算増幅器回路を使用しなくても、高品位な表示が行える液晶表示装置を実現することができ、フルダイナミックレンジの出力回路の場合と比較して、低コストでコンパクトな液晶駆動回路を提供することができる。このような液晶駆動回路を使用して液晶表示装置を構成すると、低消費電力な液晶表示装置を実現することができる。

【0047】しかも、従来のように、NチャンネルMOS入力増幅回路とPチャンネルMOS入力増幅回路の両方を1つの出力回路に備えることが不要となるので、回路規模が小さくなり、LSI化した場合、チップサイズの増大を回避できる。更に、増幅用のMOSトランジスタが1出力回路当り1回路必要となるので、回路の消費電力を半分にできる。

【0048】請求項5に係る液晶駆動回路は、上記課題を解決するために、請求項3に記載の演算増幅器回路を備え、該演算増幅器回路の出力を切り替えて増幅された液晶駆動電圧の極性を切り替えて交流化を行う出力交流化切替手段を更に備えたことを特徴としている。

【0049】上記の発明によれば、請求項3に記載の演算増幅器回路内の差動増幅回路に液晶駆動電圧が入力されると、増幅されて出力交流化切替手段へ出力される。出力交流化切替手段においては、増幅された液晶駆動電圧の極性が切り替えられ、これにより、液晶駆動電圧の交流化が行われる。この際、出力段MOSトランジスタのソースに印加された電圧に等しい電圧が差動増幅回路へ入力されると、ボルテージフォロウとして動作し、消費電力の低減が図れる。

【0050】一般に、液晶駆動電圧の重要な機能として、動作電源電圧フルレンジの出力ダイナミックレンジが要求される。通常のLSIで使用されるエンハンスメント型のMOSトランジスタを使用することを想定すると、その閾値電圧による動作不可領域をなくすために、NチャンネルMOS入力増幅回路と、PチャンネルMOS入力増幅回路との両方を1つの出力回路内に持たなければならない。このため、回路規模が大きくなり、LSI化した場合のチップサイズの増大を招き、更に、演算増幅器が1出力当り2回路存在するため、回路の消費電力が大きくなる。

【0051】しかしながら、上記の発明によれば、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成の演算増幅器回路から増幅された液晶駆動電圧が出力され、この液晶駆動電圧の極性が出力交流化切替手段によって切り替えられ、液晶駆動電圧の交流化が行われる。これにより、フルダイナミックレンジの出力演

算増幅器回路を使用しなくても、高品位な表示が行える液晶表示装置を実現することができ、フルダイナミックレンジの出力回路の場合と比較して、低コストでコンパクトな液晶駆動回路を提供することができる。このような液晶駆動回路を使用して液晶表示装置を構成すると、低消費電力の液晶表示装置を実現することができる。

【0052】しかも、従来のように、NチャンネルMOS入力増幅回路とPチャンネルMOS入力増幅回路の両方を1つの出力回路に備えることが不要となるので、回路規模が小さくなり、LSI化した場合、チップサイズの増大を回避できる。更に、増幅用のMOSトランジスタが1出力回路当たり1回路必要となるので、回路の消費電力を半分にできる。

【0053】請求項6に係る液晶駆動回路は、上記課題を解決するために、請求項3に記載の演算増幅器回路を備え、上記電源に代えて、液晶パネルの対向電極に印加される対向電極電圧を上記の出力段MOSトランジスタのソースに印加し、上記演算増幅器回路の上記差動増幅回路に対して、液晶駆動電圧と上記対向電極電圧とを選択的に切り替えて供給する切替手段と、上記切替手段によって対向電極電圧が上記差動増幅回路へ入力された場合には液晶パネルの隣り合う負荷容量と上記対向電極電圧との間で電荷の移動が行われる一方、上記切替手段によって液晶駆動電圧が上記差動増幅回路へ入力された場合には隣り合う負荷容量と上記演算増幅器回路の動作電源との間で電荷の移動が行われるように、増幅された液晶駆動電圧の極性を切り替えて交流化を行う出力交流化切替手段とを更に備えたことを特徴としている。

【0054】上記の発明によれば、切替手段の切替によって対向電極電圧が差動増幅回路へ入力されると、演算増幅器回路はボルテージフォロウとして動作し、対向電極電圧を出力する。したがって、対向電極電圧と液晶パネルの隣り合う2つの負荷容量との間で電荷移動が生じ、充放電が行われる。これら2つの電荷移動（充放電）は、対向電極電圧への出入りとしては互いに打ち消し合う方向であり、従って過渡電流では電力を消費しない。また、定常状態に至ると、負荷容量の電圧は、共に対向電極電圧となる。

【0055】一方、切替手段の切替によって液晶駆動電圧が差動増幅回路へ入力されると、隣り合う負荷容量と上記演算増幅器回路の動作電源との間で電荷の移動が行われるように、充放電が行われる。

【0056】また、上記の発明によれば、対向電極電圧が使用されるので、既存の電源が共有でき、別途電源を設けることが不要となり、一段と省スペース化が図れる。

【0057】以上のように、負荷容量に充電された電力を、一旦対向電極電圧を持つ電圧源に回収し、他の回路若しくは、液晶駆動回路自身においてそれを再利用することができるため、低消費電力の液晶表示装置を実現す

ることができる。

【0058】

【発明の実施の形態】本発明について図面を参照しながら、以下に詳細に説明する。

【0059】図1に、本発明に係る差動増幅回路の第1の実施形態を示す。なお、図1は、NチャンネルMOSトランジスタを入力トランジスタとして使用した場合を示すものである。

【0060】図1において、101及び102はNチャンネルMOSによる入力トランジスタをそれぞれ示し、103は上記差動増幅回路に動作電流を与える定電流源を示し、104は上記入力トランジスタ101の負荷抵抗（抵抗素子）を示し、105は上記入力トランジスタ102の負荷抵抗（抵抗素子）を示し、106及び107は入力信号を切り替えるスイッチをそれぞれ示し、108及び109は出力信号を切り替えるスイッチをそれぞれ示し、110は同相入力端子を示し、111は逆相入力端子を示し、112は同相出力端子を示し、113は逆相出力端子を示し、114は上記スイッチ106乃至109を同時に切り替える切替信号入力端子を示す。

【0061】上記入力トランジスタ101及び上記負荷抵抗104は請求項1の増幅回路を構成し、上記入力トランジスタ102及び上記負荷抵抗105は請求項1の増幅回路を構成する。また、スイッチ106乃至109は、請求項1の制御手段を構成する。

【0062】図2は、図1の回路の1つの動作状態を示す。図3は、図1の回路の他の動作状態を示す。以下に、図2及び図3を参照しながら、上記差動増幅回路の動作を説明する。

【0063】図2に示す状態では、同相入力端子110はスイッチ106を介して入力トランジスタ101のゲートに接続され、そのドレインに接続された負荷抵抗104の働きで、スイッチ109を介して逆相出力信号として逆相出力端子113から出力される。一方、逆相入力端子111はスイッチ107を介して入力トランジスタ102のゲートに接続され、そのドレインに接続された負荷抵抗105の働きで、スイッチ108を介して同相出力信号として同相出力端子112から出力される。つまり、同相入力信号は、入力トランジスタ101及び負荷抵抗104で増幅される一方、逆相入力信号は、入力トランジスタ102及び負荷抵抗105で増幅される。

【0064】一方、図3に示す状態では、同相入力端子110はスイッチ107を介して入力トランジスタ102のゲートに接続され、そのドレインに接続された負荷抵抗105の働きで、スイッチ109を介して逆相出力信号として逆相出力端子113より出力される。また、逆相入力端子111はスイッチ106を介して入力トランジスタ101のゲートに接続され、そのドレインに接続された負荷抵抗104の働きで、スイッチ108を介



して同相出力信号として同相出力端子112より出力される。つまり、同相入力信号は、入力トランジスタ102及び負荷抵抗105で増幅される一方、逆相入力信号は、入力トランジスタ101及び負荷抵抗104で増幅される。

【0065】以上のように、図2に示す状態と図3に示す状態とでは、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用している。

【0066】ここで、差動増幅回路を構成する入力トランジスタ101と102の間において、及び／又は負荷抵抗104と105の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合について、図4及び図5を参照しながら、以下に説明する。

【0067】本来同じ特性を持つべき差動増幅回路の2つの素子において差が生じた場合、出力電圧が理想的な状態からずれてしまい、オフセットを持つ。このずれは、入力端子の一方に定電圧源を接続したものとしてモデル化できる。この様子を図4、及び図5に示す。図4及び図5に示す115は、上記差動増幅回路のオフセットを1つの定電圧源でモデル化したものである。なお、図4に示すスイッチ素子は図2に示す状態と同一であり、図5に示すスイッチ素子は図3に示す状態と同一である。

【0068】図4においては、定電圧源115は、スイッチ107を介して逆相入力端子111と接続されている。一方、図5においては、定電圧源115は、スイッチ107を介して同相入力端子110と接続されている。このように、本差動増幅回路は、スイッチ106乃至109を使用しているもので、差動増幅回路の偶発的なバラツキによるオフセットを、逆相入力端子111側に

入れた状態と、同相入力端子110側に入れた状態とで切り替えることができる。これら2つの状態では、同相出力端子110及び逆相出力端子111に現れるオフセットは、符号が逆で絶対値が等しい状態となる。

【0069】以上より、オペアンプが製造上のバラツキなどによる偶発的なオフセット電圧を持っている場合でも、正極性電圧を出力する場合と負極性電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画面に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、上記オペアンプを液晶駆動回路に使用した場合、液晶表示装置の画面間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【0070】図6に、本発明に係る差動増幅回路の第2の実施形態を示す。なお、図6は、PチャンネルMOSトランジスタを入力トランジスタに使用した場合を示すものである。

【0071】図6において、601及び602はPチャンネルMOSによる入力トランジスタをそれぞれ示し、603は本差動増幅回路に動作電流を与える定電流源を

示し、604は入力トランジスタ601の負荷抵抗（抵抗素子）を示し、605は入力トランジスタ602の負荷抵抗（抵抗素子）を示し、606及び607は入力信号を切り替えるスイッチをそれぞれ示し、608及び609は出力信号を切り替えるスイッチをそれぞれ示し、610は同相入力端子を示し、611は逆相入力端子を示し、612は同相出力端子を示し、613は逆相出力端子を示し、614はスイッチ606乃至609を同時に切り替える信号を入力するための切替信号入力端子を示す。

【0072】図6の動作を図7及び図8を用いて説明すると以下のとおりである。

【0073】図7に示す状態では、同相入力端子610はスイッチ606を介して入力トランジスタ601のゲートに接続され、そのドレインに接続された負荷抵抗604の働きで、スイッチ609を介して逆相出力信号として逆相出力端子613から出力される。一方、逆相入力端子611はスイッチ607を介して入力トランジスタ602のゲートに接続され、そのドレインに接続された負荷抵抗605の働きで、スイッチ608を介して同相出力信号として同相出力端子612から出力される。つまり、同相入力信号は、入力トランジスタ601及び負荷抵抗604で増幅される一方、逆相入力信号は、入力トランジスタ602及び負荷抵抗605で増幅される。

【0074】一方、図8に示す状態では、同相入力端子610はスイッチ607を介して入力トランジスタ602のゲートに接続され、そのドレインに接続された負荷抵抗605の働きで、スイッチ609を介して逆相出力信号として逆相出力端子613より出力される。また、逆相入力端子611はスイッチ606を介して入力トランジスタ601のゲートに接続され、そのドレインに接続された負荷抵抗604の働きで、スイッチ608を介して同相出力信号として同相出力端子612より出力される。つまり、同相入力信号は、入力トランジスタ602及び負荷抵抗605で増幅される一方、逆相入力信号は、入力トランジスタ601及び負荷抵抗604で増幅される。

【0075】以上の様に、図7に示す状態と図8に示す状態とでは、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用している。

【0076】ここで、差動増幅回路を構成する入力トランジスタ601と602の間において、及び／又は負荷抵抗604と605の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合について、図9及び図10を参照しながら、以下に説明する。

【0077】本来同じ特性を持つべき差動増幅回路の2つの素子において差が生じた場合、出力電圧が理想的な状態からずれてしまい、オフセットを持つ。このずれ

は、入力端子の一方に定電圧源を接続したものとモデル化できる。この様子を図9、及び図10に示す。図9、及び図10に示す615は、上記差動増幅回路のオフセットを1つの定電圧源でモデル化したものである。なお、図9に示すスイッチ素子は図7に示す状態と同一であり、図10に示すスイッチ素子は図8に示す状態と同一である。

【0078】図9においては、定電圧源615は、スイッチ607を介して逆相入力端子611と接続されている。一方、図10においては、定電圧源615は、スイッチ607を介して同相入力端子610と接続されている。このように、本差動増幅回路は、スイッチ606乃至609を使用しているため、差動増幅回路の偶発的なバラツキによるオフセットを、逆相入力端子611側に入れた状態と、同相入力端子610側に入れた状態とで切り替えることができる。これら2つの状態では、同相出力端子610及び逆相出力端子611に現れるオフセットは、符号が逆で絶対値が等しい状態となる。

【0079】以上より、オペアンプが製造上のバラツキなどによる偶発的なオフセット電圧を持っている場合でも、正極性電圧を出力する場合と負極性電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画面に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、上記オペアンプを液晶駆動回路に使用した場合、液晶表示装置の画面間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【0080】図11に、本発明に係る差動増幅回路の第3の実施形態を示す。図11は、NチャンネルMOSトランジスタを入力トランジスタとして使用した場合を示すものである。

【0081】図11において、1101及び1102はNチャンネルMOSによる入力トランジスタをそれぞれ示し、1103は本回路に動作電流を与える定電流源を示し、1104は入力トランジスタ1101の負荷となるPチャンネルMOSによる負荷トランジスタを示し、1105は入力トランジスタ1102の負荷となるPチャンネルMOSによる負荷トランジスタを示し、1106及び1107は入力信号を切り替えるスイッチをそれぞれ示し、1108及び1109は出力信号を切り替えるスイッチをそれぞれ示し、1110は同相入力端子を示し、1111は逆相入力端子を示し、1112は同相出力端子を示し、1113は逆相出力端子を示し、1114はスイッチ1106～1109を同時に切り替える信号を入力するための切替信号入力端子を示す。

【0082】本実施形態は、負荷素子がトランジスタによるカレントミラー構成の能動負荷である点において、図1の第1の実施形態（受動負荷）と異なっている。図2に対応する状態においては、同相入力信号は、入力トランジスタ1101及び負荷トランジスタ1104で増

幅される一方、逆相入力信号は、入力トランジスタ1102及び負荷抵抗1105で増幅される。これに対して、図3に対応する状態においては、同相入力信号は、入力トランジスタ1102及び負荷トランジスタ1105で増幅される一方、逆相入力信号は、入力トランジスタ1101及び負荷トランジスタ1104で増幅される。

【0083】以上、何れの場合でも、上記負荷トランジスタ1104及び1105は、互いに、カレントミラー構成となっているので、たとえ両負荷トランジスタに特性のバラツキがあっても、負荷トランジスタ1104及び1105に流れる電流は常に等しくなり、この結果、同相入力信号及び逆相入力信号は同じ増幅度で増幅されることになり、左右対称な出力波形が得られることになる。

【0084】以上のように、図11に示す構成を有する差動増幅回路でも、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用することができる。

【0085】また、上記差動増幅回路を構成する入力トランジスタ1101と1102の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合でも、詳細には説明しないが、図1と同様の構成を有している。したがって、本差動増幅回路においては、スイッチ1106乃至1109を使用しているため、差動増幅回路の偶発的なバラツキによるオフセットを、逆相入力端子1111側に入れた状態と、同相入力端子1110側に入れた状態とで切り替えることができる。これら2つの状態では、同相出力端子1110及び逆相出力端子1111に現れるオフセットは、符号が互いに逆で絶対値が等しい状態となる。

【0086】以上より、オペアンプが製造上のバラツキなどによる偶発的なオフセット電圧を持っている場合でも、正極性電圧を出力する場合と負極性電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画面に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、上記オペアンプを液晶駆動回路に使用した場合、液晶表示装置の画面間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【0087】図12に、本発明に係る差動増幅回路の第4の実施形態を示す。図12は、PチャンネルMOSトランジスタを入力トランジスタとして使用した場合を示すものである。

【0088】図12において、1201及び1202はPチャンネルMOSによる入力トランジスタをそれぞれ示し、1203は本回路に動作電流を与える定電流源を示し、1204は入力トランジスタ1201の負荷となるNチャンネルMOSによる負荷トランジスタを示し、1205は入力トランジスタ1202の負荷となるNチ

チャンネルMOSによる負荷トランジスタを示し、1206及び1207は入力信号を切り替えるスイッチをそれぞれ示し、1208及び1209は出力信号を切り替えるスイッチをそれぞれ示し、1210は同相入力端子を示し、1211は逆相入力端子を示し、1212は同相出力端子を示し、1213は逆相出力端子を示し、1214はスイッチ1206～1209を同時に切り替える信号を入力するための切替信号入力端子を示す。

【0089】本実施形態は、負荷素子がトランジスタによるカレントミラー構成の能動負荷である点において、図6の第2の実施形態（受動負荷）と異なっている。図7に対応する状態においては、同相入力信号は、入力トランジスタ1201及び負荷トランジスタ1204で増幅される一方、逆相入力信号は、入力トランジスタ1202及び負荷抵抗1205で増幅される。これに対して、図8に対応する状態においては、同相入力信号は、入力トランジスタ1202及び負荷トランジスタ1205で増幅される一方、逆相入力信号は、入力トランジスタ1201及び負荷トランジスタ1204で増幅される。

【0090】以上、何れの場合でも、上記負荷トランジスタ1204及び1205は、互いに、カレントミラー構成となっているので、両負荷トランジスタに特性のバラツキがあっても、負荷トランジスタ1204及び1205に流れる電流は常に等しくなり、この結果、同相入力信号及び逆相入力信号は同じ増幅度で増幅されることになり、左右対称な出力波形が得られることになる。

【0091】以上の様に、図12に示す構成を有する差動増幅回路でも、同相入力信号の増幅回路と逆相入力信号の増幅回路とを、完全に入れ替えて使用している。

【0092】また、上記差動増幅回路を構成する入力トランジスタ1201と1202の間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合でも、詳細には説明しないが、図6と同様の構成を有している。したがって、本差動増幅回路においては、スイッチ1206乃至1209を使用しているので、差動増幅回路の偶発的なバラツキによるオフセットを、逆相入力端子1211側に入れた状態と、同相入力端子1210側に入れた状態とで切り替えることができる。これら2つの状態では、同相出力端子1210及び逆相出力端子1211に現れるオフセットは、符号が互いに逆で絶対値が等しい状態となる。

【0093】以上より、オペアンプが製造上のバラツキなどによる偶発的なオフセット電圧を持っている場合でも、正極性電圧を出力する場合と負極性電圧を出力する場合とでは、期待値電圧からの偏差が等しくなるので、液晶表示画素に印加される駆動電圧の平均電圧には、2つの偏差の差の成分が誤差電圧として残留することがなくなり、したがって、液晶表示装置の画素間での印加電圧に差となって生じず、表示むらを確実に回避できる。

【0094】ここで、図13を参照しながら、本発明に係る第5の実施形態を示す。なお、図13は、NチャンネルMOS入力のおペアンブである。

【0095】図13において、1301は第3の実施形態と等価な差動増幅回路（図11で示す差動増幅回路）を示し、1302は同相入力端子を示し、1303は逆相入力端子を示し、1304及び1305はスイッチ切替信号をそれぞれ示し、1306乃至1309はスイッチをそれぞれ示し、1310乃至1313はスイッチをそれぞれ示し、1314及び1315はNチャンネルMOSの入力トランジスタをそれぞれ示し、1316および1317は入力トランジスタの能動負荷となるPチャンネルMOSの負荷トランジスタをそれぞれ示し、1318はPチャンネルMOSの出力トランジスタを示し、1319はNチャンネルMOSの出力トランジスタを示し、1320は出力端子を示し、1321はオペアンプに動作点を与えるためのバイアス電圧入力端子を示す。ここで、差動増幅回路1301を第1の実施形態で述べた抵抗負荷の差動増幅回路に置き換えた回路も、以下の説明と全く同一の動作をするため、ここでは詳細な説明を省略する。

【0096】図13において、1304及び1305が、第3の実施形態で示したスイッチ切替信号入力端子1114に相当し、1304と1305とは互いに逆相の信号を入力する。スイッチ切替信号入力に応じた回路の動作を図14及び図15を参照しながら、以下に説明する。

【0097】図13において、入力トランジスタ1314及び1315が、第3の実施形態で示した入力トランジスタ1101及び1102に相当し、負荷トランジスタ1316及び1317が、第3の実施形態で示した負荷トランジスタ1104及び1105に相当する。

【0098】また、図13において、1307及び1309が、第3の実施形態で示したスイッチ1106に相当し、1306及び1308が、第3の実施形態で示したスイッチ1107に相当し、1310及び1313が、第3の実施形態で示したスイッチ1108に相当し、1311及び1312が、第3の実施形態で示したスイッチ1109に相当し、トランジスタ1322が、第3の実施形態の定電流源1103に相当する。

【0099】切替入力信号1304に“L”レベル（ローレベル）が入力されると、図14に示すように、スイッチ1306、1307、1310、及び1311がオン状態になる。この時、切替信号1305には“H”レベル（ハイレベル）が入力されているため、スイッチ1308、1309、1312、及び1313はオフする。同相入力信号1302は、スイッチ1306を介して入力トランジスタ1315へ供給される。逆相入力信号1303は、スイッチ1307を介して入力トランジスタ1314へ供給される。また、スイッチ1310を

介して負荷トランジスタ1316及び1317にゲート信号が供給され、スイッチ1311を介して出力トランジスタ1318へゲート信号が与えられる。図14の場合、同相入力信号を増幅する回路は、トランジスタ1315及び負荷トランジスタ1317であり、逆相入力信号を増幅する回路は、トランジスタ1314及び負荷トランジスタ1316である。

【0100】切替入力信号1305に“L”レベルが入力されると、図15において、トランジスタ1308、1309、1312、及び1313がオン状態になる。この時、切り替え信号1304には“H”レベルが入力されているため、トランジスタ1306、1307、1310、及び1311はオフする。この時、同相入力信号1302は、トランジスタ1308を介して入力トランジスタ1314へ供給される。逆相入力信号1303は、トランジスタ1309を介して入力トランジスタ1315へ供給される。また、トランジスタ1313を介して負荷トランジスタ1316及び1317にゲート信号が与えられ、トランジスタ1312を介して出力トランジスタ1318へゲート信号が与えられる。図15の場合、同相入力信号を増幅する回路は、入力トランジスタ1314及び負荷トランジスタ1316であり、逆相入力信号を増幅する回路は、入力トランジスタ1315及び負荷トランジスタ1317である。

【0101】図14及び図15に示したように、本差動増幅回路は、スイッチ1306乃至1313を切り替えることによって、同相入力信号の増幅回路と逆相入力信号の増幅回路とを入れ替えることができる。これにより、前述したように、差動増幅回路に製造上の特性バラツキ等による偶発的なオフセットが発生した場合でも、このオフセットは、この2つの状態で符号が互いに逆で絶対値が等しくなる。したがって、オペアンプに生じるオフセットのバラツキも、スイッチ1306乃至1313を切り替えることによって、オフセットの符号が互いに逆で絶対値が等しい状態を実現することができ、該オフセットを相殺できる。

【0102】図16に、本発明に係る第6の実施形態を示す。なお、図16は、PチャンネルMOS入力のオペアンプである。

【0103】図16において、1601は第4の実施形態と等価な差動増幅回路（図12で示す差動増幅回路）を示し、1602は同相入力端子を示し、1603は逆相入力端子を示し、1604及び1605はスイッチ切替信号をそれぞれ示し、1606乃至1609はスイッチをそれぞれ示し、1610乃至1613はスイッチをそれぞれ示し、1614及び1615はPチャンネルMOSの入力トランジスタをそれぞれ示し、1616および1617は入力トランジスタの能動負荷となるNチャンネルMOSの負荷トランジスタをそれぞれ示し、1618はNチャンネルMOSの出力トランジスタを示し、

1619はPチャンネルMOSの出力トランジスタを示し、1620は出力端子を示し、1621はオペアンプに動作点を与えるためのバイアス電圧入力端子を示す。ここで、差動増幅回路1601を第1の実施形態で述べた抵抗負荷の差動増幅回路に置き換えた回路も、以下の説明と全く同一の動作をするため、ここでは詳細な説明を省略する。

【0104】図16において、1604及び1605が、第4の実施形態で示したスイッチ切替信号入力端子1214に相当し、1604と1605とは互いに逆相の信号を入力する。スイッチ切替信号入力に応じた回路の動作を図17及び図18を参照しながら、以下に説明する。

【0105】図16において、入力トランジスタ1614及び1615が、第4の実施形態で示した入力トランジスタ1201及び1202に相当し、負荷トランジスタ1616及び1617が、第4の実施形態で示した負荷トランジスタ1204及び1205に相当する。また、図16において、1607及び1609が、第4の実施形態で示したスイッチ1206に相当し、1606及び1608が、第4の実施形態で示したスイッチ1207に相当し、1610及び1613が、第4の実施形態で示したスイッチ1208に相当し、1611及び1612が、第4の実施形態で示したスイッチ1209に相当し、トランジスタ1622が、第4の実施形態の定電流源1203に相当する。

【0106】切替入力信号1604に“H”レベル（ハイレベル）が入力されると、図17に示すように、スイッチ1606、1607、1610、及び1611がオン状態になる。この時、切替信号1605には“L”レベル（ローレベル）が入力されているため、スイッチ1608、1609、1612、及び1613はオフする。同相入力信号1602は、スイッチ1606を介して入力トランジスタ1615へ供給される。逆相入力信号1603は、スイッチ1607を介して入力トランジスタ1614へ供給される。また、スイッチ1610を介して負荷トランジスタ1616及び1617にゲート信号が供給され、スイッチ1611を介して出力トランジスタ1618へゲート信号が与えられる。図17の場合、同相入力信号を増幅する回路は、入力トランジスタ1615及び負荷トランジスタ1617であり、逆相入力信号を増幅する回路は、入力トランジスタ1614及び負荷トランジスタ1616である。

【0107】切替入力信号1605に“H”レベルが入力されると、図18において、スイッチ1608、1609、1612、及び1613がオン状態になる。この時、切り替え信号1604には“L”レベルが入力されているため、スイッチ1606、1607、1610、及び1611はオフする。この時、同相入力信号1602は、スイッチ1608を介して入力トランジスタ16

14へ供給される。逆相入力信号1603は、スイッチ1609を介して入力トランジスタ1615へ供給される。また、スイッチ1613を介して負荷トランジスタ1616及び1617にゲート信号が与えられ、スイッチ1612を介して出力トランジスタ1618へゲート信号が与えられる。図18の場合、同相入力信号を増幅する回路は、入力トランジスタ1614及び負荷トランジスタ1616であり、逆相入力信号を増幅する回路は、入力トランジスタ1615及び負荷トランジスタ1617である。

【0108】図17及び図18に示したように、本差動増幅回路は、スイッチ1606乃至1613を切り替えることによって、同相入力信号の増幅回路と逆相入力信号の増幅回路とを入れ替えることができる。これにより、前述したように、差動増幅回路に製造上のバラツキ等による偶発的なオフセットが発生した場合でも、このオフセットは、この2つの状態で符号が互いに逆で絶対値が等しくなる。したがって、オペアンプに生じるオフセットのバラツキも、スイッチ1606乃至1613を切り替えることによって、オフセットの符号が逆で絶対値が等しい状態を実現することができ、該オフセットを相殺できる。なお、図17及び図18において、点線は、信号の流れを示すものである。

【0109】図19に本発明に係る第7の実施形態を示す。なお、図19はNチャンネルMOS入力のおペアンプである。図19によれば、1901はNチャンネル出力トランジスタのソース電極とGND電位との間に入る電圧源を示し、1902は電圧源1901の電圧に応じてNチャンネルの出力トランジスタ1319のバイアス電流を与えるバイアス電圧入力端子を示す。これらの点において、図19の回路は、図13の回路と異なっており、同一の回路構成については同一の動作をするため、それらの回路動作の詳細な説明をここでは省略する。

【0110】上記電圧源1901を出力トランジスタ1319とGNDとの間に設けることによって、本回路をボルテージフォロワとして使用する場合、消費電力の低減が図れる。

【0111】すなわち、本回路は入力トランジスタにNチャンネルMOSを使用しており、通常のLSIで使われるエンハンスメント型のトランジスタを想定すると、その閾値電圧特性によりGND電位付近の入力電圧では動作しない。このため、本回路をボルテージフォロワとして使用する場合は、本質的に高電位側の出力電圧で動作させることになり、出力トランジスタがGNDに接続される必要はない。電圧源1901の電圧を上記オペアンプの動作電源電圧より低く設定しておく、負荷からオペアンプ内部へ電流が流れる場合、電流経路の電位差は、電圧源1901が無い場合よりもその電圧分だけ小さくなる。したがって、電圧源1901に流れた電流に

よる電力は、他の回路部分を動作させるために使用することができ、結果として回路全体での消費電力を低減することが可能となる。

【0112】図20に本発明による第8の実施形態を示す。図20はPチャンネルMOS入力のおペアンプである。2001はPチャンネル出力トランジスタ1619とGND電位との間に入る電圧源を示し、2002は電圧源2001の電圧に応じてPチャンネル出力トランジスタのバイアス電流を与えるバイアス電圧入力端子を示す。図20の回路は、これらの点を除いて図16の回路と同一の動作をするため、回路動作の説明の詳細は省略する。

【0113】電圧源2001を出力トランジスタ1619とGNDとの間に設けることによって、本回路をボルテージフォロワとして使用する場合、消費電力の低減が図れる。

【0114】すなわち、本回路は入力トランジスタにPチャンネルMOSを使用しており、通常のLSIで使われるエンハンスメント型のトランジスタを想定すると、その閾値電圧特性により上記オペアンプの動作電源電位付近の入力電圧では動作しない。このため、本回路をボルテージフォロワとして使用する場合は、本質的に低電位側の出力電圧で動作させることになり、出力トランジスタが動作電源電位に接続される必要はない。電圧源2001の電圧を動作電源電圧より低く設定しておく、オペアンプから負荷に電流が流れる場合、その電力の供給を動作電源電圧よりも低い電圧源2001から行うことができる。このため、負荷を駆動する際の消費電力を低減することが可能となる。

【0115】図21、図22、及び図23に本発明による第9の実施形態を示す。これらは、ドット反転駆動を行う液晶駆動回路の出力ブロック図であり、隣り合う2つの出力回路部分のみを示す。図21及び図22は、液晶駆動電圧の極性を切り替えた場合の動作を示している。

【0116】図21及び図22において、2101は第5の実施形態で示したNチャンネルMOS入力のおペアンプ（図13参照）を示し、2102は第6の実施形態で示したPチャンネルMOS入力のおペアンプ（図16参照）を示し、2103は正極性の液晶駆動電圧を発生するD/A変換回路を示し、2104は負極性の液晶駆動電圧を発生するD/A変換回路を示し、2105乃至2108は液晶駆動電圧を交流化するためのスイッチを示し、2109は奇数番目の出力端子の表示データを記憶するラッチ回路を示し、2110は偶数番目の出力端子の表示データを記憶するラッチ回路を示し、2111は奇数番目の出力端子を示し、2112は偶数番目の出力端子を示し、2113は交流化スイッチ切替信号入力を示し、2114は第5及び第6の実施形態で示したオペアンプのスイッチ切替信号を示す。

【0117】以下、これらの図を使用して奇数番目の出力端子の動作について説明する。偶数番目の出力端子については、その駆動電圧極性が逆になるだけで同一の動作をするため、詳細な説明を省略する。

【0118】図21は、奇数番目の出力端子2111が正極性駆動電圧を出力し、偶数番目の出力端子2112が負極性駆動電圧を出力する場合を示す。この場合、奇数番目の出力端子の表示データは、ラッチ回路2109からスイッチ2105を介して正極性D/A変換回路2103へ送られ、その出力がオペアンプ2101に与えられた後、スイッチ2107を介して奇数番目の出力端子2111から出力される（図21中の太線で示す矢印を参照）。

【0119】図22は、奇数番目の出力端子2111が負極性駆動電圧を出力し、偶数番目の出力端子2112が正極性駆動電圧を出力する場合を示す。この場合、奇数番目の出力端子の表示データは、ラッチ回路2109からスイッチ2106を介して負極性D/A変換回路2104へ送られ、その出力がオペアンプ2102に与えられた後、スイッチ2107を介して奇数番目の出力端子2111から出力される（図22中の太線で示す矢印を参照）。

【0120】ここで、オペアンプが製造上の理由等で特性が異なり、偶発的なオフセット電圧を持つ場合について説明する。前述したように、本回路のオペアンプはスイッチ切替信号により、そのオフセットの符号を反転させることができる。いま、オペアンプ2101がオフセット電圧A又は-Aに切り替えることができ、オペアンプ2102がオフセット電圧B又は-Bに切り替えることができるものとする。この場合、奇数番目の出力端子の出力電圧は、正極性出力時はA又は-Aのオフセットを持ち、負極性出力時はB又は-Bのオフセットを持つ\*

入 力 信 号		出 力 端 子	
SWP	REV	奇数番目の出力端子	偶数番目の出力端子
ローレベル	ローレベル	正極性（偏差 A）	負極性（偏差 B）
ローレベル	ハイレベル	負極性（偏差 B）	正極性（偏差 A）
ハイレベル	ローレベル	正極性（偏差 -A）	負極性（偏差 -B）
ハイレベル	ハイレベル	負極性（偏差 -B）	正極性（偏差 -A）

【0125】図24において、2501は奇数番目の出力端子により駆動される画素電圧の理想値を示し、2502は実際の電圧を示す。ここでは、REV信号は、1フレーム毎に反転しており、SWP信号は2フレーム毎に反転している。この結果、画素電圧の理想値と実際の電圧値との差は、1フレーム毎に、A、B、-A、及び-Bと順次変化し、4フレームで最初の状態に戻る。ここで、第1フレームと第3フレームの偏差は、互いに逆符号で等しい。同様に、第2フレームと第4フレームの偏差は、互いに逆符号で等しい。

\*ことになる。オフセットの符号の選択は、オペアンプのスイッチ切替信号で行われる。

【0121】以上の関係を、図23の端子SWP及び端子REVを使用して真理値表にまとめたものを表1に示す。なお、図23は、図21及び図22におけるブロック2115の具体的構成例を示すものであり、図23において、2301は第5の実施形態で示したNチャンネルMOS入力用のオペアンプ（図13参照）に対応し、2302は第6の実施形態で示したPチャンネルMOS入力用のオペアンプ（図16参照）に対応している。また、図23において、2307及び2308は、図21及び図22におけるスイッチ2107及び2108にそれぞれ対応している。更に、図23において、出力端子2311及び2312は、図21及び図22における出力端子2111及び2112にそれぞれ対応している。図23中、VBNおよびVBPは、オペアンプに動作点を与えるためのバイアス電圧入力端子をそれぞれ示す。更に、図23中の2313は図21及び図22中の2113（交流化スイッチ切替信号入力）に対応し、図23中の2314は図21及び図22中の2114（第5及び第6の実施形態で示したオペアンプのスイッチ切替信号）に対応する。

【0122】また、実際に液晶表示装置を駆動する際の表示画素に印加される電圧波形の例を図24に示す。図24は、交流化スイッチ切替信号REVの周期に対して、オペアンプスイッチ切替信号SWPの周期を2倍にした場合である。

【0123】なお、SWP周期がREV周期の偶数倍であれば、特にその比は上記2倍に限定されるものではない。

【0124】

【表1】

【0126】フレームの周期が液晶材料の反応時間に対して十分早ければ、第1フレームでの偏差と第3フレームでの偏差は互いに打ち消され、第2フレームでの偏差と第4フレームでの偏差は互いに打ち消される。したがって、十分長い時間において、液晶駆動出力端子毎の偏差のバラツキは、各々の表示画素での打ち消し動作により、人の目に見える表示となつては現れない。

【0127】以上のように、上記の第9の実施形態に係る液晶駆動回路では、液晶駆動端子毎の出力電圧のバラツキをそれ自身の逆方向のバラツキでもって打ち消すこ

とができる。

【0128】図25に、本発明の第10の実施形態として、図21のブロック2115の他の回路構成例を示す。図25は、前述の図23に対応しており、図25に示した部分以外の構成は図21と同一であるため、省略する。

【0129】図25において、2601は第7の実施形態で示したオペアンプ（図19参照）であり、NチャンネルMOS出力トランジスタのソース電極に電圧源2617が挿入されている。2619は端子VBN2を介して入力されるバイアス入力であり、NチャンネルMOS出力トランジスタにバイアス電圧を与える。2602は第8の実施形態で示したオペアンプ（図20参照）であり、PチャンネルMOS出力トランジスタのソース電極に電圧源2618が挿入されている。2620は端子VBP2を介して入力されるバイアス入力であり、PチャンネルMOS出力トランジスタにバイアス電圧を与える。電圧源2617及び2618は、前述したように、回路の低消費電力化を可能にする。その他の動作は、第9の実施形態で説明したものと同じであり、詳細な説明を省略する。

【0130】なお、図25において、2611は奇数番目の出力端子を示し、2612は偶数番目の出力端子を示す。

【0131】図26に、本発明の第11の実施形態として、図21のブロック2115の更に他の回路構成例を示す。図26は、前述の図23に対応しており、図26に示した部分以外の構成は図21と同一であるので、詳細な説明を省略する。

【0132】図26において、2717はオペアンプの出力トランジスタのソース電極に接続された電圧源であり、図25における電圧源2617及び2618を1つの電圧源にまとめたものである。これにより、電圧源2617及び2618を別々に2個設けた場合と比較すると、省スペース化が可能となり、電圧源2717を設けた場合の効果は、図25の場合と同一である。ドット反転駆動の液晶表示装置では、電圧源2717として、液晶パネルの対向電極の電圧源をそのまま使用することができる。その他の動作については、第9の実施形態で説明したものと同じであるため、詳細な説明を省略する。

【0133】なお、図26において、2707及び2708は、液晶駆動出力の出力電圧極性を切り替える出力交流化スイッチを示している。

【0134】図27に、本発明の第12の実施形態として、図26の出力回路を使用した他の回路構成例を示す。図27において、2801は図26に示すオペアンプ2701に対応する。同様に、2802は図26の2702に対応し、2807は図26の2707に対応し、2808は図26の2708に対応し、2811は奇数番目の出力端子を示し、2812は偶数番目の出力

端子を示し、2813は図26の2713、2814は図26の2714に対応する。

【0135】2803は正極性の液晶駆動電圧を発生するD/A変換回路を示し、2804は負極性の液晶駆動電圧を発生するD/A変換回路を示し、2805及び2806はオペアンプの入力端子の接続をD/A変換回路の出力端子と中間電圧の電源端子との間で切り替えるスイッチをそれぞれ示し、2809及び2810は液晶パネルの信号線をそれぞれ示し、2815はスイッチ2805及び2806を切り替える切替信号を示し、2816は液晶パネルの対向電極に印加される電圧（対向電極電圧）と同じ電源から出力される中間電圧を示し、図26の2717に対応し、ここでは、Vcomで表す。2817及び2818は、液晶パネルの隣り合う2つの負荷容量を示す。

【0136】図28に、図27の回路の動作波形図を示す。ここで、交流化スイッチ切替信号2813をREVで表し、オペアンプの入力切替信号2815をPREで表している。また、オペアンプ内部のスイッチを切り替える切替信号2814は、本動作の説明に直接関係しないので、ここでは省略する。

【0137】図29、図30、図31を参照して、図28の動作波形図に基づく本実施形態の動作を説明する。ここでは、説明の便宜上、中間電圧Vcomを電源電圧VCCの2分の1の電圧として説明している。

【0138】図29は初期状態を示し、正極性のD/A変換回路2803がVCCを出力しており、負極性のD/A変換回路2804が0Vを出力しているものとす。この場合、負荷容量2817はオペアンプ2801により電源電圧VCCまで充電される一方、負荷容量2818はオペアンプ2802によりGND電位（0V）に放電される。

【0139】次に、PRE信号が切り替わり、スイッチ2805及び2806によりオペアンプの入力端子に中間電圧Vcom（=VCC/2）が与えられると（図30の状態）、オペアンプ2801及び2802は共に、ボルテージフォロウとして動作し、入力電圧に等しい中間電圧Vcomをそれぞれ出力する。したがって、図に太線の矢印で示した経路で、負荷容量2817の電荷が中間電圧Vcomに放電され、同時に、負荷容量2818に中間電圧Vcomから充電が行われる。この2つの電荷移動は、中間電圧Vcomへの出入りとしては互いに打ち消し合う方向であり、したがって図30の過渡電流では電力を消費しない。過渡電流が収まり定常状態に至ると、2つの負荷容量の電圧は、共にVcom、即ちVCCの2分の1となる。

【0140】次に、PRE信号が切り替わり、オペアンプの入力端子にD/A変換回路の出力が接続され、同時に、交流化スイッチ切替信号が切り替わると、図31に太線の矢印で示した経路で電流が流れる。すなわち、負

荷容量2817はオペアンプ2802により0Vに放電される一方、負荷容量2818はオペアンプ2801によりVCCまで充電される。このように、本実施形態では、電力を消費するのは図31に示した動作のみであり、負荷を充電するために必要な電力は従来技術による回路の半分ですむため、液晶表示素子の交流化の際の消費電力を著しく低減することができる。

【0141】図32に、本発明の第13の実施形態として、図26の出力回路を使用した他の回路構成例を示す。図32において、3301は図26に示すオペアンプ2701に対応する。同様に、3302は図26の2702に対応し、3307は図26の2707に対応し、3308は図26の2708に対応し、3311は奇数番目の出力端子を示し、3312は偶数番目の出力端子を示し、3313は図26の2713に対応し、3314は図26の2714に対応する。

【0142】3303は正極性の液晶駆動電圧を発生するD/A変換回路を示し、3304は負極性の液晶駆動電圧を発生するD/A変換回路を示し、3305は正極性D/A変換回路の出力信号を示し、3306は負極性D/A変換回路の出力信号を示し、3309及び3310は液晶パネルの信号線を示し、3315はD/A変換回路の制御信号を示し、2つのD/A変換回路の出力電圧をいずれも中間電圧に最も近い電圧に固定する機能を持つ。3316は液晶パネルの対向電極に印加される電圧と同じ電源から出力される中間電圧(Vcom)であり、図26の電圧源2717に対応する。3317及び3318は液晶パネルの隣り合う2つの負荷容量を示す。

【0143】図33に、図32の回路の要部信号の動作波形図を示す。ここで、交流化スイッチ切替信号3313をREVとし、D/A変換の制御信号3315をCONTとしている。また、オペアンプ内部のスイッチを切り替える切替信号3314をSWPとし、このSWPは本動作の説明に直接関係しないので、その説明を省略する。

【0144】図33では、正極性のD/A変換回路3303の最も低い出力電圧をVH0とし、負極性のD/A変換回路3304の最も高い出力電圧をVL0としており、通常、VH0は、Vcomに対して僅かに高い電圧であり、また、VL0は、Vcomに対して僅かに低い電圧であるが、2つの電圧は同じであってもかまわない。

【0145】図34、図35、及び図36に、図33の動作波形図による本実施形態の動作を説明する。ここで図34は初期状態を示し、実施形態12の図29と同等の状態である。

【0146】次に、CONT信号が切り替わり、正極性のD/A変換回路3303が電圧VH0を出力し、負極性のD/A変換回路3304が電圧VL0を出力した状

態を図35に示す。2つのオペアンプ3301及び3302はボルテージフォロワとしてそれぞれ動作するため、オペアンプ3301はVH0を出力し、オペアンプ3302はVL0を出力する。したがって、図35に示した経路で、負荷容量3317の電荷が中間電圧Vcomに放電され、同時に、負荷容量3318に中間電圧Vcomから充電が行われる。

【0147】上記の2つの電荷移動は、中間電圧Vcomへの出入りとしては互いに打ち消し合う方向(図35中の太線の矢印を参照)であり、従って図35の過渡電流では電力を消費しない。過渡電流が収まり定常状態に至ると、負荷容量3317の電位はVH0となり、負荷容量3318の電位はVL0となる。次に、CONT信号が切り替わり、2つのD/A変換回路3303及び3304が初めと同じ表示電圧を出力し、同時に、交流化スイッチ切替信号が切り替わると、図35に太線の矢印で示した経路で電流が流れる。

【0148】すなわち、負荷容量3317はオペアンプ3302により0Vに放電される一方、負荷容量3318はオペアンプ3301によりVCCまで充電される。このように、本実施形態では、電力を消費するのは図36に示した動作の場合のみであり、負荷を充電するために必要な電力は従来技術による回路のほぼ半分ですむため、液晶表示素子の交流化の際の消費電力を著しく低減することができる。

【0149】以上のように、本発明の差動増幅回路は、1組のソース結合ペアMOSトランジスタと、前記2つのトランジスタにゲート信号を与える2つの入力端子と、前記2つのトランジスタの負荷となる2つの抵抗素子と、前記2つの抵抗素子から出力信号を取り出す2つの出力端子とを持つMOSトランジスタ入力の差動増幅回路において、前記2つの入力端子を入れ替えるスイッチ素子と、前記2つの出力端子を入れ替えるスイッチ素子と、前記スイッチ素子を切り替える切替信号入力端子とを有している。上記負荷素子は、例えば抵抗素子で構成される。

【0150】また、本発明の他の差動増幅回路は、1組のソース結合ペアMOSトランジスタと、前記2つのトランジスタにゲート信号を与える2つの入力端子と、前記ソース結合ペアトランジスタの能動負荷となる1組のカレントミラー構成のMOSトランジスタと、前記2つの負荷トランジスタから出力信号を取り出す2つの出力端子とを持つMOSトランジスタ入力の差動増幅回路において、前記2つの入力端子を入れ替えるスイッチ素子と、前記2つの出力端子を入れ替えるスイッチ素子と、前記スイッチ素子を切り替える切替信号入力端子とを有している。

【0151】本発明のNチャンネルMOSトランジスタ入力のCMOS構成のオペアンプは、前記差動増幅回路を入力回路に有している。



【0152】また、本発明のPチャンネルMOSトランジスタ入力のカMOS構成のオペアンプ回路は、前記差動増幅回路を入力回路に有している。

【0153】また、本発明のCMOS構成のオペアンプ回路は、前記のNチャンネルMOSトランジスタ入力のカペアンプ回路において、その出力段のNチャンネルMOSトランジスタのソース電極を、GND電位よりも高く、且つ、電源電位よりも低い第3の電位に接続している。

【0154】また、本発明のCMOS構成のオペアンプ回路は、前記のPチャンネルMOSトランジスタ入力のカペアンプ回路において、その出力段のPチャンネルMOSトランジスタのソース電極を、GND電位よりも高く、且つ、電源電位よりも低い第3の電位に接続している。

【0155】本発明の液晶駆動回路は、上記のNチャンネルMOSトランジスタ入力のカペアンプ回路のいずれか1つと、上記のPチャンネルMOSトランジスタ入力のカペアンプ回路のいずれか1つと、前記2つのオペアンプ回路の出力信号が出力される2つの液晶駆動出力端子と、前記2つのオペアンプ回路の出力信号と前記2つの液晶駆動出力端子との間で、前記2つのオペアンプ回路の出力端子と前記2つの液晶駆動出力端子との接続関係を入れ替えるスイッチ素子と、前記スイッチ素子を切り替える切替信号入力端子とを有している。

【0156】上記液晶駆動回路において、Nチャンネル入力のカペアンプの入力端子を、一時的に、GND電位よりも高く、且つ、電源電位よりも低い第3の電位に接続するスイッチ素子と、Pチャンネル入力のカペアンプの入力端子を、一時的に、GND電位よりも高く、且つ、電源電位よりも低い第3の電位に接続するスイッチ素子とを有していることが好ましい。

【0157】上記発明によれば、差動増幅回路の入カトランジスタを入れ替えながら使用することで、製造上のバラツキなどに起因する偶発的なオフセット電圧を液晶表示素子上で平均化することにより、より高品位な表示が行える液晶表示装置を構成することができる。

【0158】また、上記発明によれば、フルダイナミックレンジの出力オペアンプ回路を使用しなくても、高品位な表示が行える液晶表示装置を実現することができ、フルダイナミックレンジの出力回路の場合と比較して、低コストでコンパクトな液晶駆動回路で、低消費電力の液晶表示装置を構成することができる。

【0159】さらに、上記発明によれば、液晶画面に充電された電力を、一旦中間電圧を持つ電圧源に回収し、他の回路、若しくは、液晶駆動回路自身においてそれを再利用することができ、これにより、低消費電力の液晶表示装置を実現することができる。

【0160】なお、本発明は、上記の実施の形態に限定されるものではなく、本発明の範囲内で種々の変更が可

能である。

【0161】

【発明の効果】請求項1に係る発明の差動増幅回路は、以上のように、同相及び逆相の入力信号を増幅する第1及び第2増幅回路と、上記2つの入力信号を選択的に切り替えて上記の第1及び第2増幅回路へ入力すると共に、上記の第1又は第2増幅回路の一方によって増幅された同相入力信号を逆相出力信号として出力する一方、上記の第1又は第2増幅回路の他方によって増幅された逆相入力信号を同相出力信号として出力する制御手段とを備えたことを特徴としている。

【0162】それゆえ、制御手段によって、同相入力信号と逆相入力信号とが選択的に切り替えられると共に、上記の第1又は第2増幅回路の一方によって増幅された同相入力信号が逆相出力信号として出力される一方、上記の第1又は第2増幅回路の他方によって増幅された逆相入力信号が同相出力信号として出力されるので、同相出力信号に生じるオフセットと、逆相出力信号に生じるオフセットとは、逆極性で絶対値が等しくなり、両者の平均電圧にはオフセット成分が含まれなくなり、これにより、非常に信頼性の高い差動増幅回路を提供することができるという効果を奏する。

【0163】請求項2に係る発明の差動増幅回路は、以上のように、請求項1に記載の差動増幅回路において、第1及び第2増幅回路は、一組のMOSトランジスタがソース結合されてなり、各MOSトランジスタのゲートに上記の入力信号が入力され、各MOSトランジスタのドレインに接続され負荷となる負荷素子を有しており、上記負荷素子は一組のカレントミラー構成を有するMOSトランジスタからなることを特徴としている。

【0164】それゆえ、請求項1に記載の差動増幅回路の効果に加えて、何れの場合でも、負荷素子は、互いに、カレントミラー構成となっているので、両負荷素子に特性上のバラツキがあっても、各負荷素子のMOSトランジスタに流れる電流は常に等しくなり、この結果、同相入力信号及び逆相入力信号は同じ増幅度で増幅されることになり、左右対称な出力波形が得られるという効果を併せて奏する。

【0165】請求項3に係る演算増幅器回路は、以上のように、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成の演算増幅器回路であって、上記入力回路と同じチャンネルの出力段MOSトランジスタのソースをグランド電位よりも高く且つ上記演算増幅器回路の動作電源電位よりも低い電圧を出力する電源に接続することを特徴としている。

【0166】上記の発明によれば、例えば、入力回路内の入力トランジスタにNチャンネルMOSを使用した場合、通常のLSIで使われるエンハンスメント型のトランジスタを想定すると、その閾値電圧特性によりGND電位付近の入力電圧では動作しない。このため、本回路

をボルテージフォロフとして使用する場合は、本質的に高電位側の出力電圧で動作させることになり、出力トランジスタがGNDに接続される必要はない。上記電源の電圧を電源電位より低く設定しておく、負荷から演算増幅器回路内部へ電流が流れる場合、電流経路の電位差は、電源が無い場合よりもその電圧分だけ小さくすることができる。したがって、電源に流れた電流による電力は、他の回路部分を動作させるために使用することができ、結果として回路全体での消費電力を低減することが可能となる。

【0167】一方、入力回路内の入力トランジスタにPチャンネルMOSを使用した場合、通常のLSIで使われるエンハンスメント型のトランジスタを想定すると、その閾値電圧特性により電源電位付近の入力電圧では動作しない。このため、本回路をボルテージフォロフとして使用する場合は、本質的に低電位側の出力電圧で動作させることになり、出力トランジスタが電源電位に接続される必要はない。電源の電圧を電源電位より低く設定しておく、演算増幅器回路から負荷へ電流が流れる場合、その電力の供給を電源電位よりも低い電源から行うことができる。このため、負荷を駆動する際の消費電力を低減することが可能となる。

【0168】以上のように、出力段のMOSトランジスタのソースをグラウンド電位よりも高く且つ電源電位よりも低い電圧を出力する電源に接続することによって、本回路をボルテージフォロフとして使用する場合、消費電力の低減が図れるという効果を併せて奏する。

【0169】請求項4に係る液晶駆動回路は、以上のように、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成を有し、入力された液晶駆動電圧を増幅する演算増幅器回路と、該演算増幅器回路の出力を切り替えて増幅された液晶駆動電圧の極性を切り替えて交流化を行う出力交流化切替手段とを備えたことを特徴としている。

【0170】それゆえ、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成の演算増幅器回路から増幅された液晶駆動電圧が出力され、この液晶駆動電圧の極性が出力交流化切替手段によって切り替えられ、液晶駆動電圧の交流化が行われる。これにより、フルダイナミックレンジの出力演算増幅器回路を使用しなくても、高品位な表示が行える液晶表示装置を実現することができ、フルダイナミックレンジの出力回路の場合と比較して、低コストでコンパクトな液晶駆動回路を提供することができる。このような液晶駆動回路を使用して液晶表示装置を構成すると、低消費電力の液晶表示装置を実現することができる。

【0171】しかも、従来のように、NチャンネルMOS入力増幅回路とPチャンネルMOS入力増幅回路の両方を1つの出力回路に備えることが不要となるので、回路規模が小さくなり、LSI化した場合、チップ

サイズの増大を回避できる。更に、増幅用のMOSトランジスタが1出力回路当たり1回路必要となるので、回路の消費電力を半分にできるという効果を併せて奏する。

【0172】請求項5に係る液晶駆動回路は、上記課題を解決するために、請求項3に記載の演算増幅器回路を備え、該演算増幅器回路の出力を切り替えて増幅された液晶駆動電圧の極性を切り替えて交流化を行う出力交流化切替手段を更に備えたことを特徴としている。

【0173】それゆえ、請求項1又は2に記載の差動増幅回路を入力回路に持つCMOS構成の演算増幅器回路から増幅された液晶駆動電圧が出力され、この液晶駆動電圧の極性が出力交流化切替手段によって切り替えられ、液晶駆動電圧の交流化が行われる。これにより、フルダイナミックレンジの出力演算増幅器回路を使用しなくても、高品位な表示が行える液晶表示装置を実現することができ、フルダイナミックレンジの出力回路の場合と比較して、低コストでコンパクトな液晶駆動回路を提供することができる。このような液晶駆動回路を使用して液晶表示装置を構成すると、低消費電力の液晶表示装置を実現することができる。

【0174】しかも、従来のように、NチャンネルMOS入力増幅回路とPチャンネルMOS入力増幅回路の両方を1つの出力回路に備えることが不要となるので、回路規模が小さくなり、LSI化した場合、チップサイズの増大を回避できる。更に、増幅用のMOSトランジスタが1出力回路当たり1回路必要となるので、回路の消費電力を半分にできるという効果を併せて奏する。

【0175】請求項6に係る液晶駆動回路は、以上のように、請求項3に記載の演算増幅器回路を備え、上記電源に代えて、液晶パネルの対向電極に印加される対向電極電圧を上記の出力段MOSトランジスタのソースに印加し、上記演算増幅器回路の上記差動増幅回路に対して、液晶駆動電圧と上記対向電極電圧とを選択的に切り替えて供給する切替手段と、上記切替手段によって対向電極電圧が上記差動増幅回路へ入力された場合には液晶パネルの隣り合う負荷容量と上記対向電極電圧との間で電荷の移動が行われる一方、上記切替手段によって液晶駆動電圧が上記差動増幅回路へ入力された場合には隣り合う負荷容量と上記演算増幅器回路の動作電源との間で電荷の移動が行われるように、増幅された液晶駆動電圧の極性を切り替えて交流化を行う出力交流化切替手段とを更に備えていることを特徴としている。

【0176】それゆえ、対向電極電圧と液晶パネルの隣り合う2つの負荷容量との間で電荷移動が生じ、充放電が行われる。これら2つの電荷移動（充放電）は、対向電極電圧への出入りとしては互いに打ち消し合う方向であり、従って過渡電流では電力を消費しない。また、定常状態に至ると、負荷容量の電圧は、共に対向電極電圧となる。

【0177】一方、切替手段の切替によって液晶駆動電

圧が差動増幅回路へ入力されると、隣り合う負荷容量と上記演算増幅器回路の動作電源との間で電荷の移動が行われるように、充放電が行われる。

【0178】また、上記の発明によれば、対向電極電圧が使用されるので、既存の電源が共有でき、別途電源を設けることが不要となり、一段と省スペース化が図れる。

【0179】以上のように、負荷容量に充電された電力を、一旦対向電極電圧を持つ電圧源に回収し、他の回路若しくは、液晶駆動回路自身においてそれを再利用することができるため、低消費電力の液晶表示装置を構成することができるという効果を併せて奏する。

【図面の簡単な説明】

【図1】本発明に係る差動増幅回路の第1の実施形態の構成を示す回路図であり、NチャンネルMOSトランジスタを入力トランジスタとして使用した場合を示すものである。

【図2】上記差動増幅回路の動作を示す説明図である。

【図3】上記差動増幅回路の他の動作を示す説明図である。

【図4】図2の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図5】図3の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図6】本発明に係る差動増幅回路の第2の実施形態の構成を示す回路図であり、PチャンネルMOSトランジスタを入力トランジスタに使用した場合を示すものである。

【図7】図6の上記差動増幅回路の動作を示す説明図である。

【図8】図6の上記差動増幅回路の他の動作を示す説明図である。

【図9】図7の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図10】図8の上記差動増幅回路を構成するトランジスタ間において、及び／又は負荷抵抗間において、製造上の理由などにより偶発的に発生する特性の不一致が存在する場合の動作を示す説明図である。

【図11】本発明に係る差動増幅回路の第3の実施形態の構成を示す回路図であり、NチャンネルMOSトランジスタを入力トランジスタとして使用した場合を示すものである。

【図12】本発明に係る差動増幅回路の第4の実施形態の構成を示す回路図であり、PチャンネルMOSトラン

ジスタを入力トランジスタとして使用した場合を示すものである。

【図13】本発明に係る第5の実施形態のNチャンネルMOS入力のアンプを示す回路図である。

【図14】図13のアンプの動作を示す回路図である。

【図15】図13のアンプの他の動作を示す回路図である。

【図16】本発明に係る第6の実施形態のPチャンネルMOS入力のアンプの回路図である。

【図17】図16のアンプの動作を示す回路図である。

【図18】図16のアンプの他の動作を示す回路図である。

【図19】本発明に係る第7の実施形態のNチャンネルMOS入力のアンプの回路図である。

【図20】本発明に係る第8の実施形態のPチャンネルMOS入力のアンプの回路図である。

【図21】本発明に係る第9の実施形態のドット反転駆動を行う液晶駆動回路の出力ブロック図であり、液晶パネルの隣り合う2つの出力回路部分のみを示す。

【図22】上記の液晶駆動回路の液晶駆動電圧の極性を変えた場合の動作を示す回路図である。

【図23】図21及び図22の主要ブロックの具体的構成例を示す回路図である。

【図24】図21乃至図23の回路の動作波形図である。

【図25】本発明の第10の実施形態の構成例を示す回路図である。

【図26】本発明の第11の実施形態の液晶駆動回路の具体的構成例を示す回路図である。

【図27】本発明の第12の実施形態の液晶駆動回路の具体的構成例を示す回路図である。

【図28】図27の要部の動作波形図である。

【図29】図28の動作波形図に基づく第12の実施形態の動作を説明する回路図であり、動作の初期状態を示すものである。

【図30】アンプの入力端子に中間電圧が与えられた状態を説明する回路図であり、ボルテージフォロウとして動作することを示すものである。

【図31】アンプの入力端子に液晶駆動電圧が入力された場合の動作を説明する回路図である。

【図32】本発明における第13の実施形態で液晶駆動回路の具体的構成例を示す回路図である。

【図33】図32の要部の動作波形図である。

【図34】図33の動作波形図に基づく第13の実施形態の動作を説明する回路図であり、動作の初期状態を示すものである。

【図35】図34において動作電圧の1/2の電圧がアンプへ入力された場合の動作を示す回路図である。

【図36】図34において動作電圧の1/2の電圧以外の電圧がオペアンプへ入力された場合の動作を示す回路図である。

【図37】アクティブマトリクス方式の代表例であるTFT液晶表示装置の従来例のブロック構成を示す説明図である。

【図38】従来のTFT液晶パネルの構成を示す説明図である。

【図39】従来の液晶駆動波形の一例を示す波形図であり、ソースドライバの出力電圧が対向電極の電圧より高い時にゲートドライバの出力がTFTをオンし、画素電極へ対向電極に対して正極性の電圧が印加される場合を示している。

【図40】従来の液晶駆動波形の一例を示す波形図であり、ソースドライバの出力電圧が対向電極の電圧より低い時にゲートドライバの出力がTFTをオンして、画素電極へ対向電極に対して負極性の電圧が印加される場合を示している。

【図41】従来において、液晶駆動電圧を交流化する際の液晶パネル上の交流化の極性配列の一例を示す説明図である。

【図42】従来のドット反転駆動におけるソースドライバの駆動波形例を示す説明図である。

【図43】従来のソースドライバICの構成例を示すブロック図である。

【図44】(a)(b)は、第1従来技術に係るドット反転駆動を行うソースドライバICの出力回路のブロック構成図である。

【図45】(a)(b)は、第2従来技術に係るドット反転駆動を行うソースドライバICの出力回路のブロック構成図である。

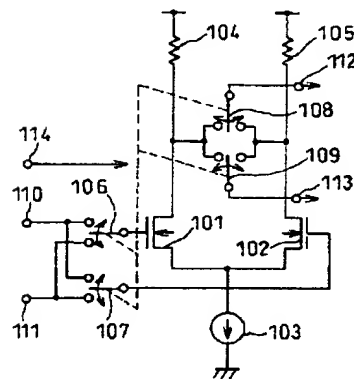
【図46】従来のオペアンプが偶発的なオフセット電圧を持つ場合の液晶駆動電圧波形例を示す波形図である。

【図47】図44の構成の場合の液晶駆動電圧波形を示す波形図である。

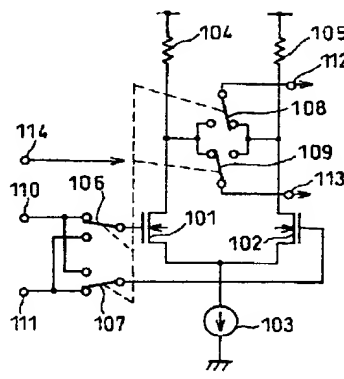
#### 【符号の説明】

- 101 入力トランジスタ (増幅回路)
- 102 入力トランジスタ (増幅回路)
- 104 負荷抵抗 (抵抗素子、増幅回路)
- 105 負荷抵抗 (抵抗素子、増幅回路)
- 106 スイッチ (制御手段)
- 107 スイッチ (制御手段)
- 112 同相出力端子
- 113 逆相出力端子
- 2105~2108 スイッチ (出力交流化切替手段)
- 2103、2104 D/A変換回路
- 2109、2110 ラッチ回路
- 2707、2708 スイッチ (出力交流化切替手段)
- 2805、2806 スイッチ (切替手段)

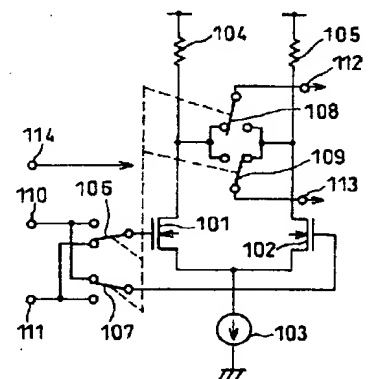
【図1】



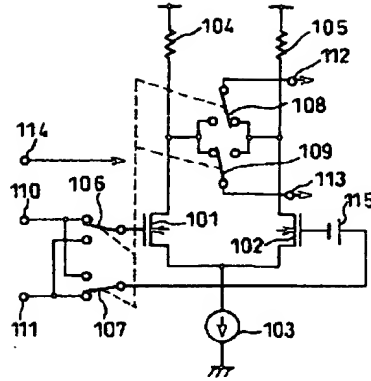
【図2】



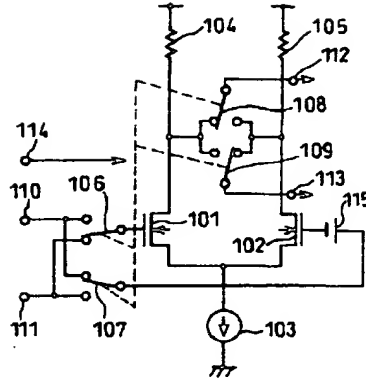
【図3】



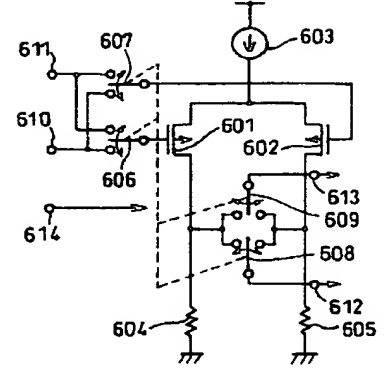
【図 4】



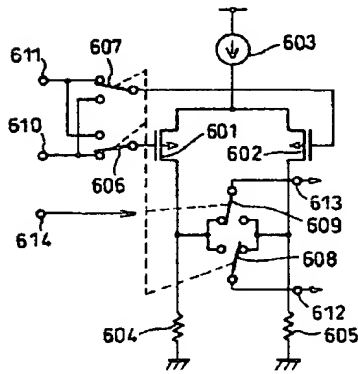
【図 5】



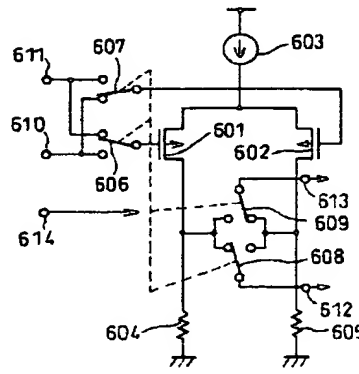
【図 6】



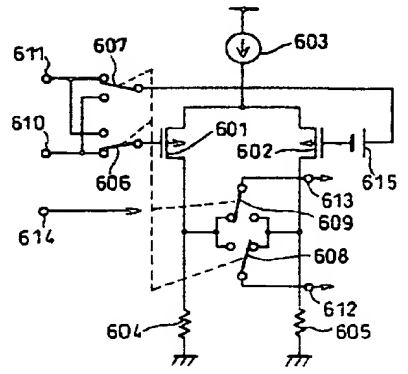
【図 7】



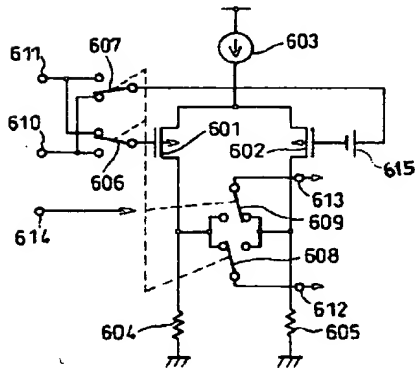
【図 8】



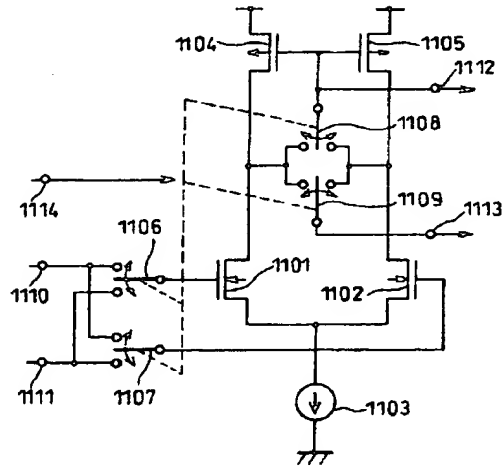
【図 9】



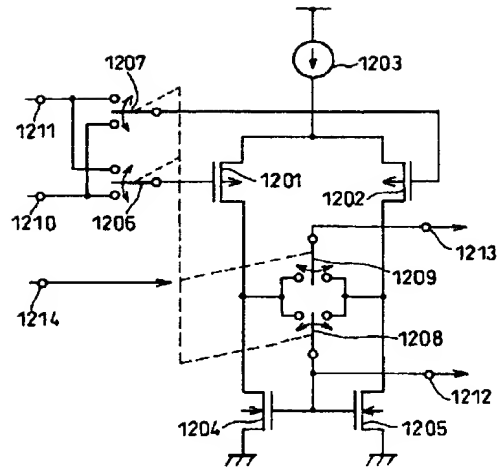
【図 10】



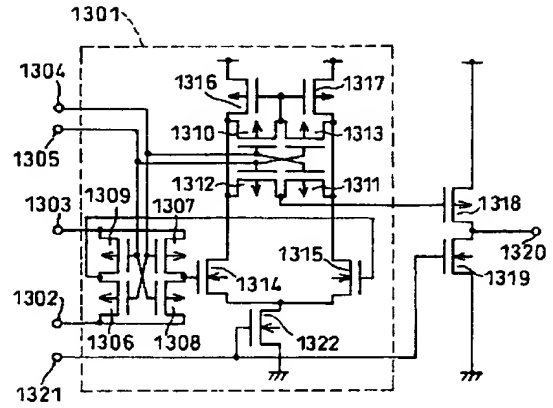
【図 11】



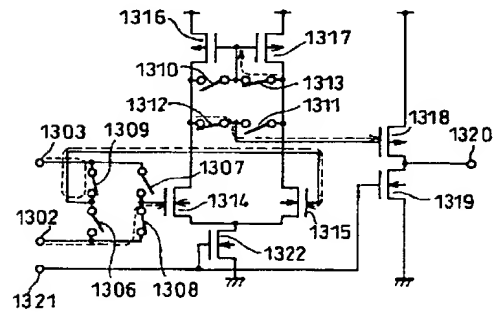
【図 12】



【図 13】

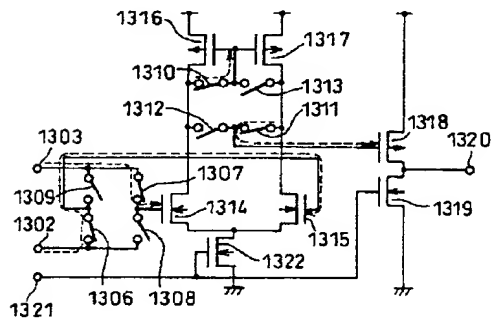


【図 15】

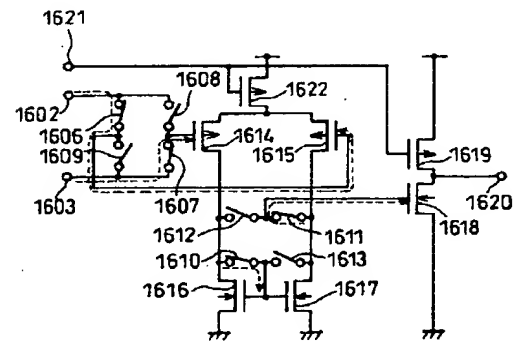
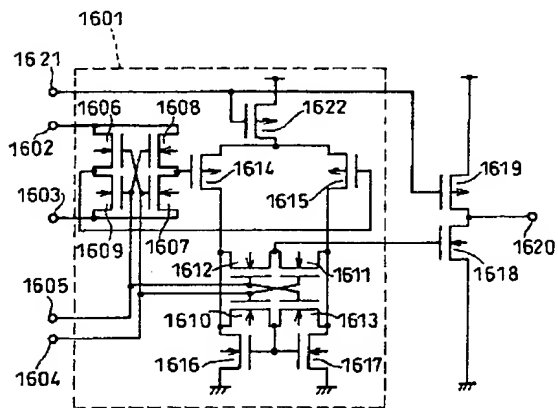


【図 17】

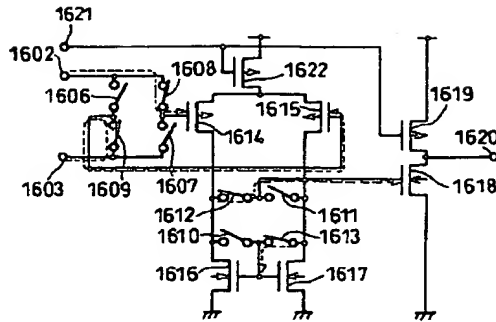
【図 14】



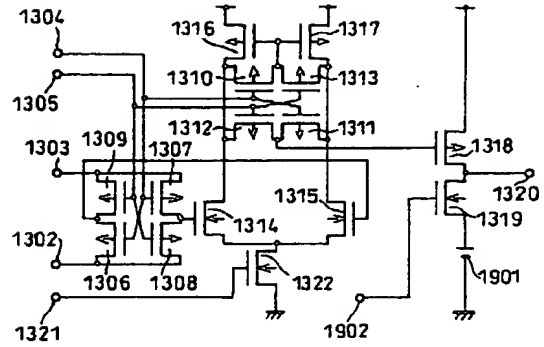
【図 16】



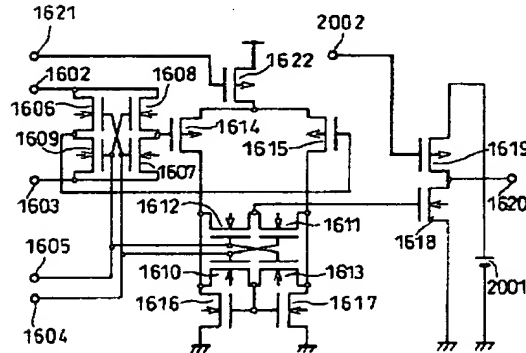
【図 18】



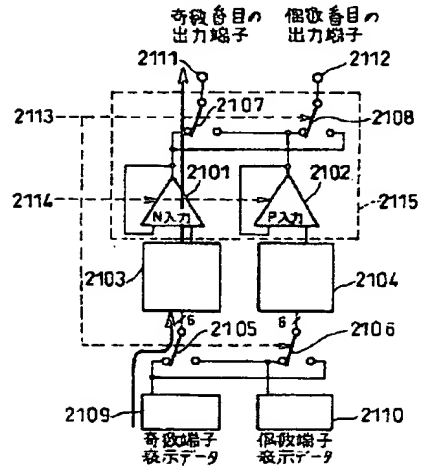
【図 19】



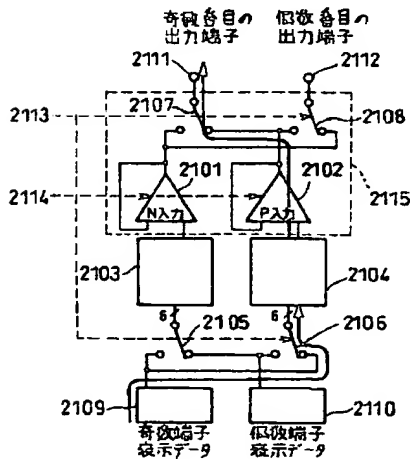
【図 20】



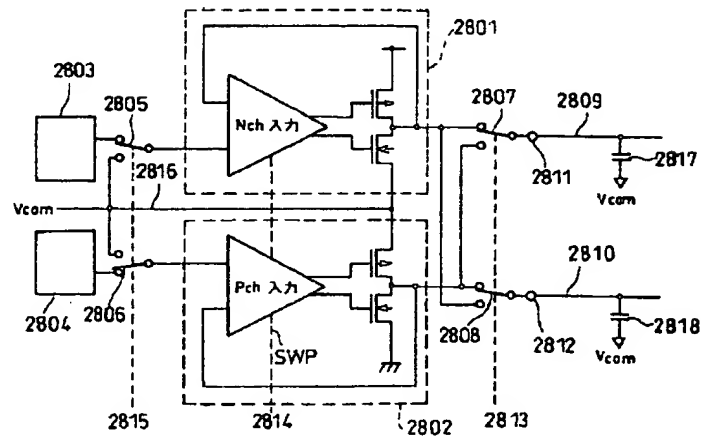
【図 21】



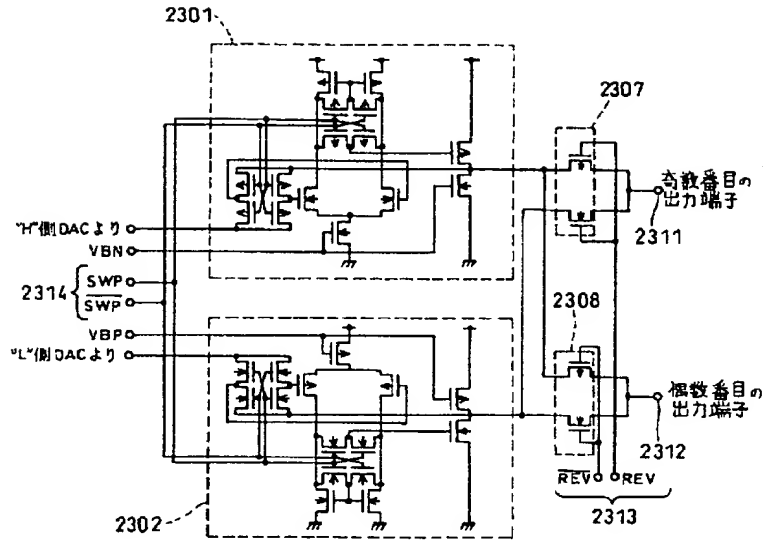
【図 22】



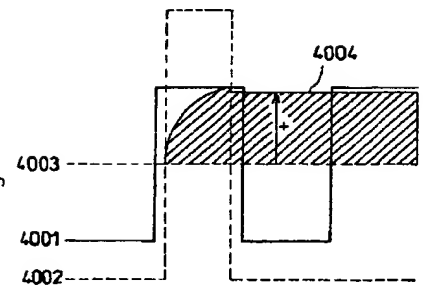
【図 27】



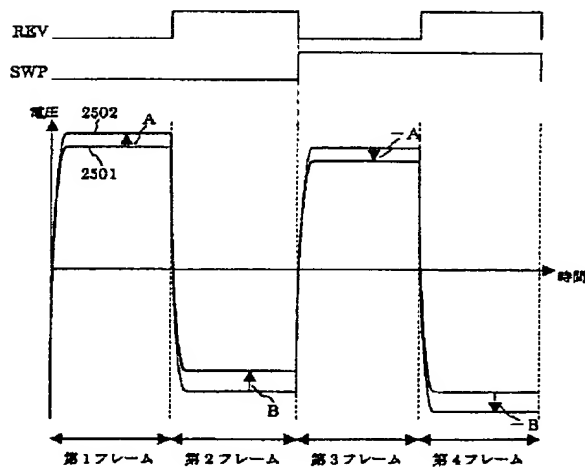
【図23】



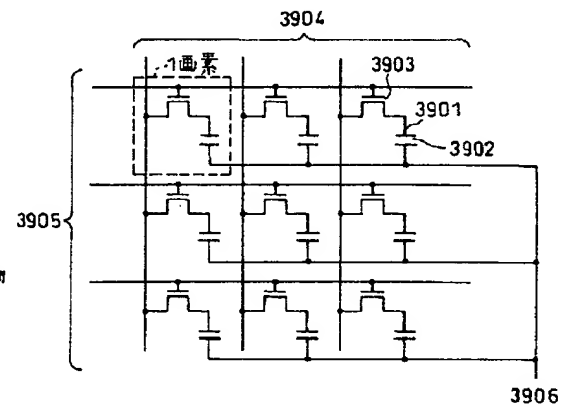
【図39】



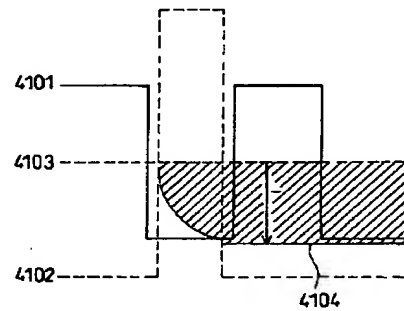
【図24】



【図38】

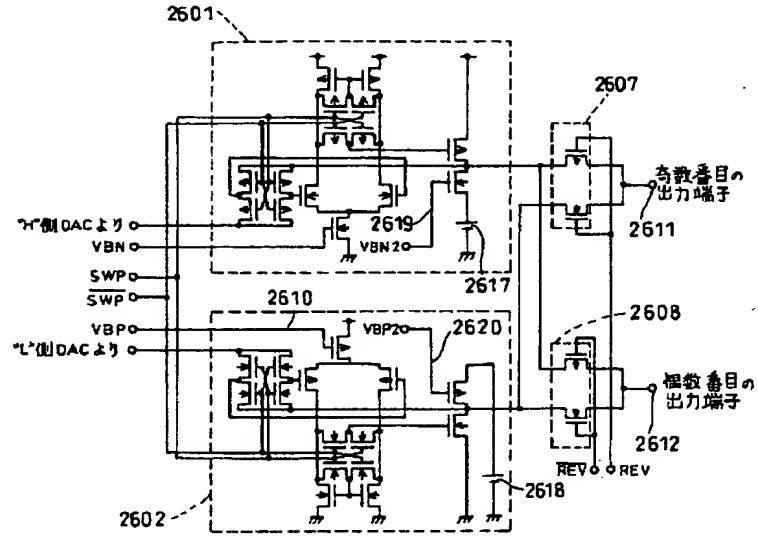


【図40】

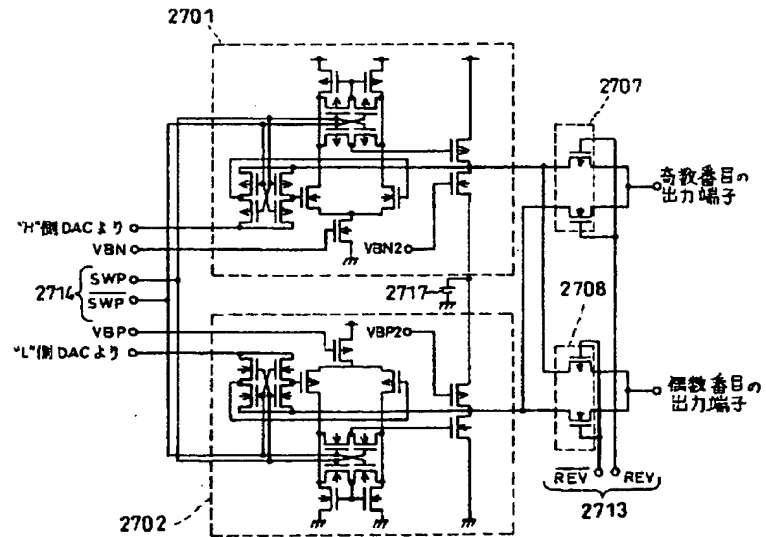




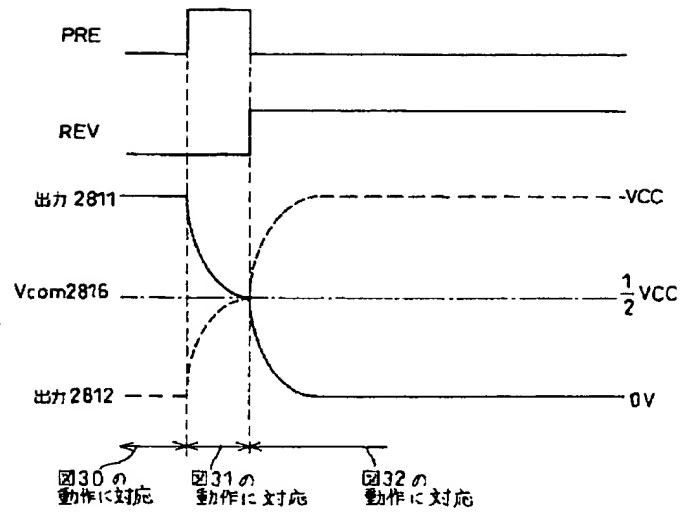
【図25】



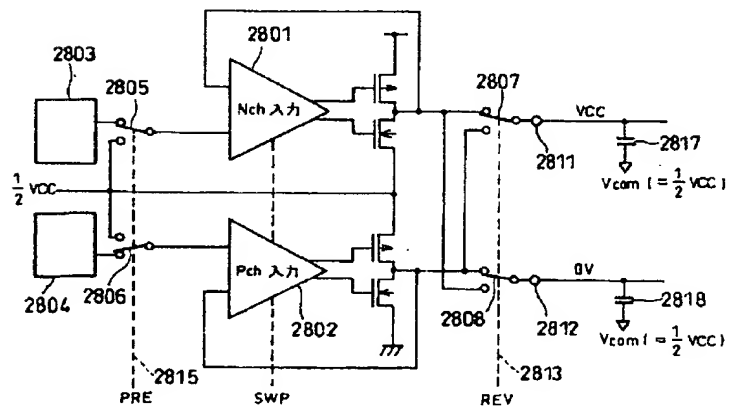
【図26】



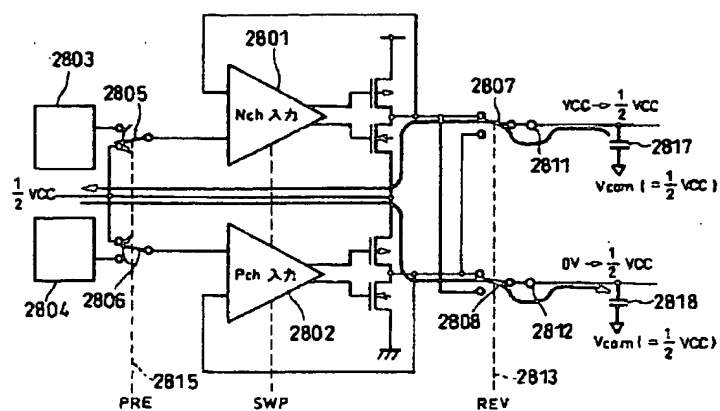
【図 2 8】



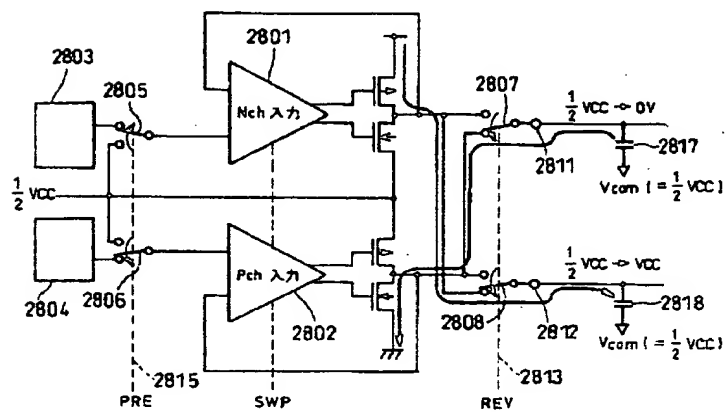
【図 2 9】



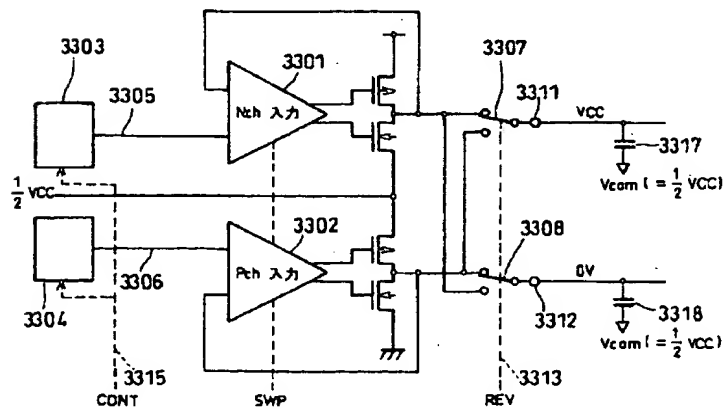
【図30】



【图 3 1】



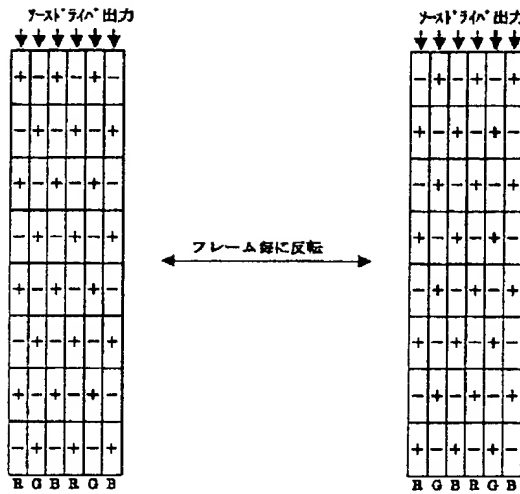
【图 3 4】



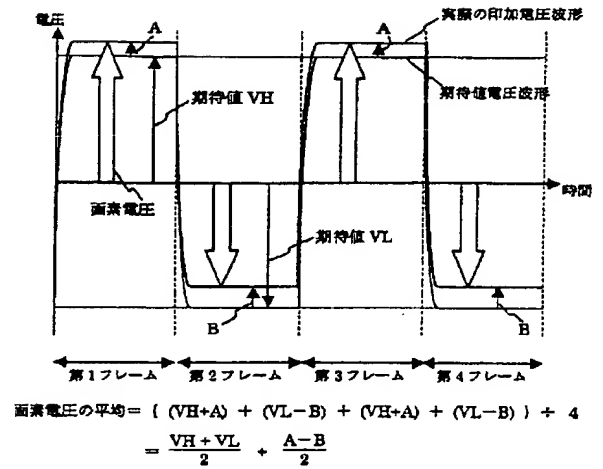
[illegible]

Figure 1 is a block diagram of a liquid crystal display system. It includes a host computer (3504) and a liquid crystal control unit (3802). The host computer sends a display command (3805) and address signals (3801) to the control unit. The control unit outputs address signals (3803) to the liquid crystal panel (3801). The panel is connected to a common bus (3804) for bidirectional communication.

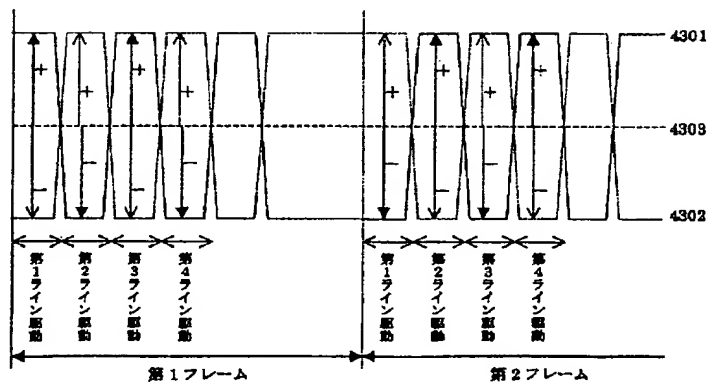
【図41】



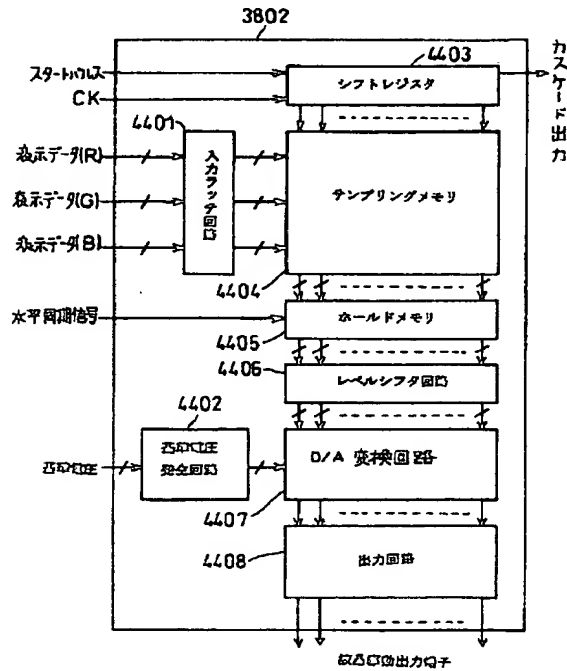
【図46】



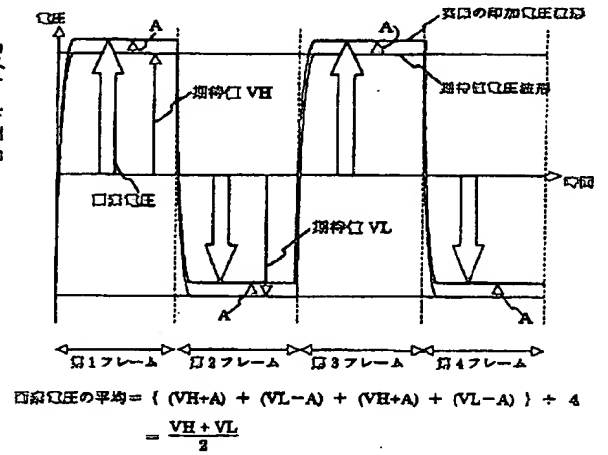
【図42】



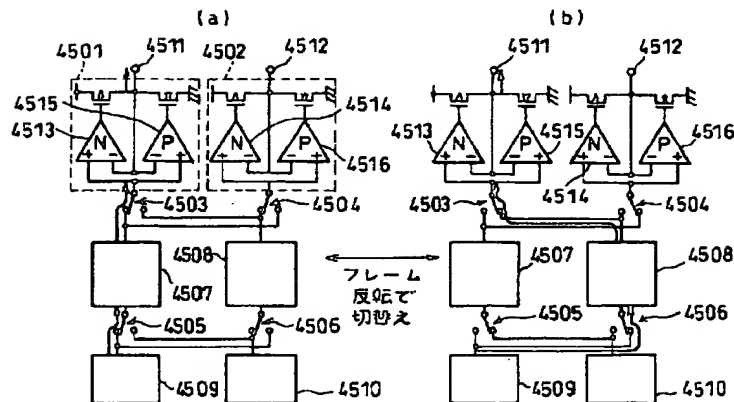
【図43】



【図47】



【図44】



【図45】

